

目 录

概述	1
第 1 章 逻辑分析仪原理及基本概念	2
1.1 逻辑分析仪原理	2
1.2 逻辑分析仪基本概念	2
1.2.1 定时采样	2
1.2.2 状态采样	3
1.2.3 动态采样	3
1.2.4 存储容量	3
1.2.5 采样时间	4
1.2.6 测量带宽	4
1.2.7 门限电压	5
1.2.8 触发	5
1.2.9 触发位置优先	5
1.2.10 触发状态优先	5
第 2 章 致远逻辑分析仪	6
2.1 命名规则	6
2.1.1 LA 系列逻辑分析仪	6
2.1.2 LAB 系列逻辑分析仪	6
2.2 功能特色	7
2.2.1 测量线	7
2.2.2 逻辑笔	7
2.2.3 频率计	8
2.2.4 双边沿同步采样	9
2.2.5 触发方式	9
2.2.6 数据滤波	10
2.2.7 数据导出	11
2.2.8 协议分析	11
2.3 型号对比	11
2.3.1 LA 系列对比	11
2.3.2 LAB 系列对比	12
2.3.3 LA 系列与 LAB 系列对比	13
第 3 章 如何使用逻辑分析仪	14
3.1 逻辑分析仪软件安装	14
3.1.1 安装 ZlgLogic 软件	14
3.1.2 安装驱动程序	18
3.1.3 软件升级	19
3.2 逻辑分析仪硬件连接	21
3.3 逻辑分析仪使用步骤	25
3.3.1 频率测量	25
3.3.2 总线测量	28
3.3.3 SPI 测量	31
3.3.4 SPI 总线分析	32

3.3.5	SPI 触发设置	34
3.4	逻辑分析仪使用注意事项	36
3.4.1	确保接地良好	36
3.4.2	合理设置采样频率	37
3.4.3	合理设置触发方式	37
3.4.4	合理设置门限电压	37
3.4.5	使用 Timing-State 模式	38
3.4.6	差分信号测量	38
第 4 章	逻辑分析仪的应用	39
4.1	逻辑分析仪队列触发的应用	39
4.1.1	队列触发在数字通信系统的应用	39
4.1.2	队列触发在工业自动化领域的应用	40
4.2	逻辑分析仪数据延迟触发的应用	42
4.2.1	原理分析	42
4.2.2	测试步骤	42
4.3	逻辑分析仪插件触发的应用	44
4.4	逻辑分析仪外部触发的应用	44
4.4.1	触发输出在电路调试中的应用	44
4.4.2	触发输入在电路调试中的应用	46
4.4.3	其它应用	47
4.5	逻辑分析仪在数据采集开发系统中的应用	47
4.6	逻辑分析仪在 1-wire 总线开发中的应用	49
4.7	逻辑分析在 LIN 总线开发中的应用	51
4.8	逻辑分析仪在 DALI 总线开发中的应用	53
4.9	逻辑分析仪在 CAN 总线开发中的应用	54
4.10	逻辑分析仪在 FPGA 开发中的应用	55
4.11	逻辑分析仪在 ACTEL 平台中的应用	57
4.11.1	方案介绍	58
4.11.2	实现过程	58
4.12	逻辑分析仪在 RFID 开发中的应用	60
4.12.1	方案介绍	60
4.12.2	方案实现	60
4.12.3	实现过程	61
4.13	逻辑分析仪在 SDRAM 开发中的应用	62
4.13.1	硬件平台介绍	62
4.13.2	建立应用平台	63
4.13.3	逻辑分析仪测量应用	64
4.14	逻辑分析仪在 USB 开发中的应用	65
4.14.1	测量方法	66
4.14.2	应用实例	67
4.15	逻辑分析仪在 CF 卡开发中的应用	68
4.15.1	CF 卡原理	68
4.15.2	插件解码分析	69
4.16	逻辑分析仪在 SD 卡开发中的应用	71

4.16.1	SD 卡简介	71
4.16.2	插件解码分析	72
4.17	逻辑分析仪在芯片互联中的应用	73
4.17.1	接口分析	73
4.17.2	应用实例	74
第 5 章	逻辑分析仪案例分享	77

概述

随着电子技术的迅速发展，数字电路在电子开发的比例越来越大，如何有效的对数字电路进行错误查找和验证显得越来越重要。逻辑分析仪作为一种分析数字电路逻辑电平的工具，主要用于定位系统运行出错的特定波形数据，通过观察该波形数据来推断该系统出错的原因，从而有针对性地找出解决错误的方案。

逻辑分析仪在应用中可以分为 4 个层次：

- (1) 观察波形：测量波形中是否存在毛刺、干扰，频率是否正确等；
- (2) 时序测量：对被测量信号进行时序分析，排除操作冲突、时序协调等问题；
- (3) 辅助分析：使用逻辑分析仪完善的分析功能对总线信号或高级协议进行分析；
- (4) 排除错误：使用逻辑分析仪强大的触发功能来进行错误捕获，排除隐藏在系统的错误。

本文主要从以下几个方面进行讲解：

- (1) 第一章：逻辑分析仪的原理及基本概念；
- (2) 第二章：致远逻辑分析仪；
- (3) 第三章：如何使用逻辑分析仪；
- (4) 第四章：逻辑分析仪的应用；
- (5) 第五章：逻辑分析仪的案例分享。

在这几个章节中，大家需要重点掌握前三章，通过学习来理解逻辑分析仪的基本概念，了解致远逻辑分析仪的功能特色及各个型号的区别，懂得如何使用逻辑分析仪，从而达到能够正确为客户选型、讲解以及演示的效果。第四章通过一些应用来帮助大家发现和挖掘各个研发领域的潜在客户，第五章可以方便大家在逻辑分析仪的销售中进行经验交流，需要大家提供材料进行整理，这两章大家只要做到了解即可。最后，祝大家学习愉快！

第1章 逻辑分析仪原理及基本概念

1.1 逻辑分析仪原理

逻辑分析仪的组成结构如图 1.1 所示，主要包括数据捕获和数据显示两大部分，其中逻辑分析仪数据捕获部分包括信号输入、比较采样、触发控制、数据存储和时钟电路等。逻辑分析仪一般采用先进行数据采集并存储，然后进行数据分析显示的方式。

逻辑分析仪的工作原理：①外部被测信号通过探头送到信号输入电路，在比较器中与设定的门限电压进行比较，大于门限电压值的信号为高电平，反之为低电平；②采样电路在采样时钟（外时钟或内时钟）控制下对信号进行采样，并将数据流送到触发模块中，产生触发信号；③数据存储电路在触发信号的作用下进行相应的数据存储控制；④数据捕获完成后，由分析显示电路将存储的数据处理之后以适当方式显示出来。

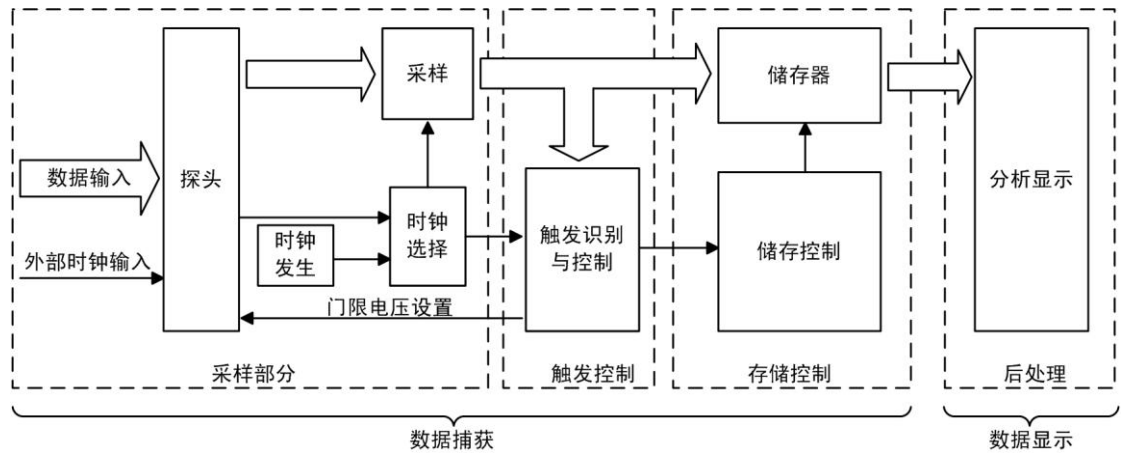


图 1.1 逻辑分析仪组成结构

目前市面上逻辑分析仪大致可分为台式逻辑分析仪和虚拟逻辑分析仪。台式逻辑分析仪将所有的测试软件、运行管理器件以及显示部分整合到一台仪器之中，虚拟逻辑分析仪则需要通过 PC 机来显示最后的结果。相比价格昂贵的台式逻辑分析仪，虚拟逻辑分析仪具有价格便宜、性价比高、分析能力强、用户界面友好、操作简单、体积小等优点。

1.2 逻辑分析仪基本概念

1.2.1 定时采样

定时采样（Timing），也称为异步采样，是使用逻辑分析仪内部时钟来作为数据抽样时钟的采样模式，每个抽样点占用一个存储单元。定时采样的数据存储如图 1.2 所示。

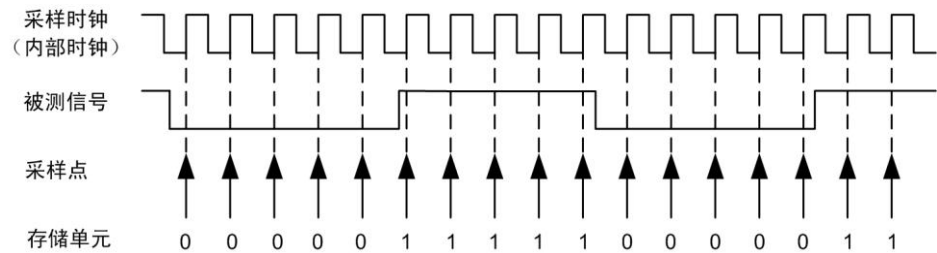


图 1.2 定时采样的数据存储

逻辑分析仪采用内部时钟对被测信号进行抽样采集，该时钟对应的频率称之为定时采样频率；逻辑分析仪采用内部高速时钟对被测信号进行抽样采集，该时钟对应的频率称之为高速定时采样频率。

1.2.2 状态采样

状态采样（State），也称为同步采样，是使用外部时钟来做为数据抽样时钟的采样模式，每个外部时钟的有效沿对应的抽样点占用一个存储单元。状态采样的数据存储如图 1.3 所示。

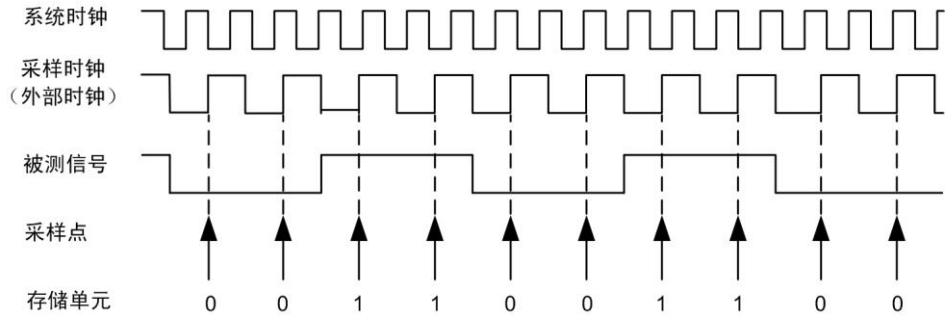


图 1.3 状态采样的数据存储

逻辑分析仪使用外部时钟对被测信号进行抽样采集，逻辑分析仪所能接受的最高外部时钟频率称之为最大状态采样率；逻辑分析仪使用外部时钟对被测信号进行抽样采集，逻辑分析仪所能采样的最高数据率称之为最大状态数据率。若为 DDR 采样，则状态数据率通常为状态采样率的 2 倍。

1.2.3 动态采样

动态采样（Timing-State）也称跳变存储采样或者是压缩采样，它只有在被测信号发生跳变时才存储数据，占用两个存储单元，极大地提高了记录时间。

动态采样相对于定时采样和状态采样来说，只是数据存储方式不同，它可以采用逻辑分析仪的内部时钟也可以采用外部时钟进行采样。动态采样的数据存储如图 1.4 所示。

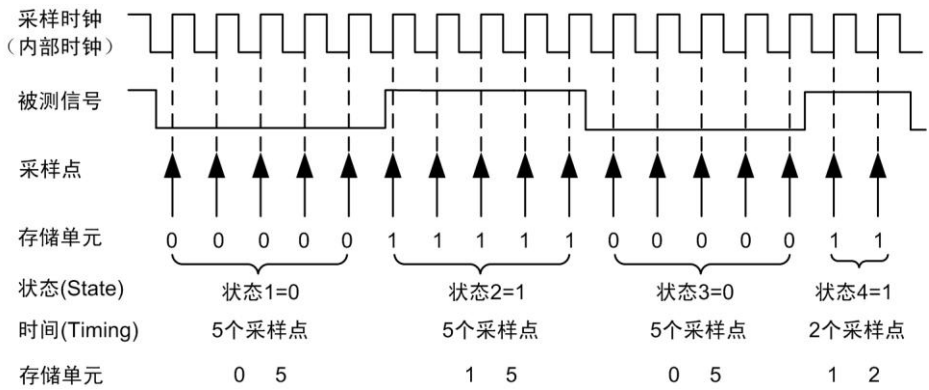


图 1.4 动态采样的数据存储

1.2.4 存储容量

存储容量是指逻辑分析仪能够连续保存的采样点的数量，即逻辑分析仪能够测量多长时间的波形。

储存容量越大，逻辑分析仪能够测量越长时间的波形。但由于高速存储器的价格都比较高，所以储存容量越大，逻辑分析仪的价格也越高。采用 Timing-State 存储方式可以使逻辑分析仪在相同的储存容量下具有更长的观测时间。

1.2.5 采样时间

逻辑分析仪能够采样多长时间，要分两种情况（由于状态采样的采样时间与用户所使用的外部时钟频率有关，故不作分析）来进行分析：第一种是采用定时采样，第二种是采用动态采样。

1. 定时采样（Timing）

定时采样能采集的时间长短与采样频率和存储深度有关，因为每个时钟周期采集一个采样点，占用一个存储单元。设采样频率为 F_c ，每通道存储容量为 M ，则时钟周期为 $1/F_c$ ，逻辑分析仪能够持续的采样时间 T 为：

$$T = M \times 1/F_c$$

例如，使用 LA2532 逻辑分析仪，设置采样频率为 100MHz，则采样时间为：

$$T = 1\text{Mbit} \times 1/100\text{MHz} = 1048576 \times 10\text{ns} \approx 10.5\text{ms}$$

所以，一旦确定逻辑分析仪的型号，每通道存储容量就固定了，采样时间只与采样频率有关。

2. 动态采样

动态采样能采集的时间长短与被测信号的变化率和存储深度有关，因为被测信号每变化一次，逻辑分析仪就存储一次，占用两个存储单元，对应的时间为被测信号变化的周期，通常我们以被测信号最高的频率来计算。设被测信号变化率为 F_c ，每通道存储容量为 M ，则被测信号变化周期为 $1/F_c$ ，逻辑分析仪能够持续的采样时间为：

$$T = M/2 \times 1/F_c$$

例如，使用 LA2532 逻辑分析仪，被测信号频率最高的变化率为 1MHz（频率为 500KHz），则采样时间为：

$$T = 1\text{Mbits}/2 \times 1/1\text{MHz} = 524288 \times 1\mu\text{s} = 524.288\text{ms}$$

所以，一旦确定逻辑分析仪的型号，每通道存储容量就固定了，则采样时间只与被测信号的变化率有关。

采用动态采样时，如果被测信号频率比较低，则可以通过适当降低逻辑分析仪的采样频率来增加采样时间。虽然理论上动态采样时逻辑分析仪的采样频率对采样时间没影响，但实际上会由于较高的采样频率增加毛刺的捕捉概率，从而增加了被测信号的变化率，导致存储时间缩短。

1.2.6 测量带宽

测量带宽通常是指逻辑分析仪所能测量到被测信号最大的频率，它由测量线的模拟带宽、采样芯片的采样带宽以及存储芯片的存储带宽决定，如图 1.5 所示。

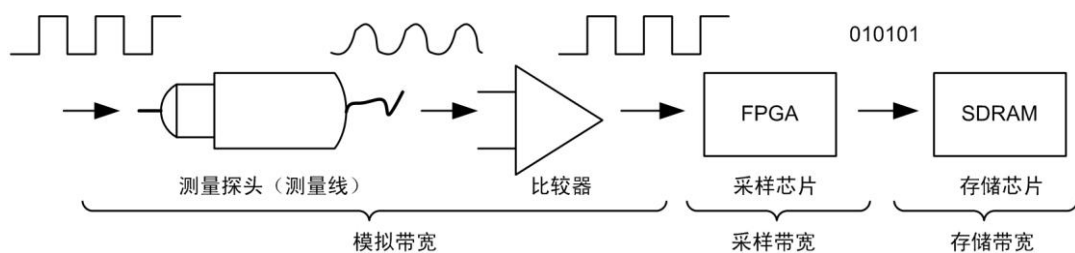


图 1.5 逻辑分析仪的测量带宽

1.2.7 门限电压

门限电压，也称为触发门限电平，是判断被测信号是“0”还是“1”的界限。大于门限电压值的信号为高电平，反之为低电平。门限电压与输入电压的关系如图 1.6 所示。

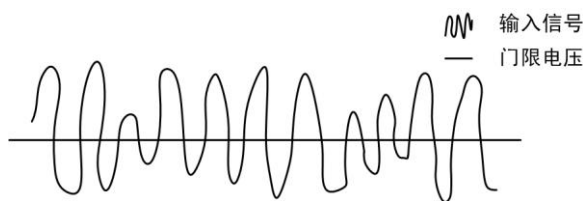


图 1.6 门限电压与输入信号的关系

1.2.8 触发

触发，就是对逻辑分析仪设置某种条件（触发条件），当被测信号满足该条件时，逻辑分析仪就开始采集数据。

1.2.9 触发位置优先

触发位置是指数据触发点对应于存储空间的相对位置，通常用百分比标识。当出现符合触发条件的触发信号，但数据没有存满到指定的触发位置，不触发；当数据存满至用户设定的触发位置后，出现符合触发条件的信号才触发。这样可以保证触发点能正确落在用户设置的触发位置上，方便观测到触发前和触发后的数据。

1.2.10 触发状态优先

选择触发状态优先时，逻辑分析仪碰到符合触发条件的信号就触发，而不考虑触发位置是否正确。它是为了防止由于触发条件极少出现而错失触发。

第2章 致远逻辑分析仪

2.1 命名规则

2.1.1 LA 系列逻辑分析仪

致远逻辑分析仪 LA 系列的命名规则如图 2.1 所示。

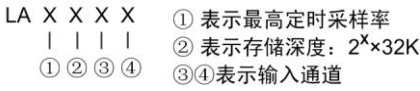


图 2.1 LA 系列逻辑分析仪的命名规则

如表 2.1 所示逻辑分析仪 LA2532, 其中 2 表示逻辑分析仪的最高定时采样频率为 200MHz, 5 表示逻辑分析仪的单通道存储容量为 $2^5 \times 32Kbit$ (即 $2^{10}Kbit=1Mbit$), 32 则表示逻辑分析仪的输入通道数为 32。

表 2.1 LA 系列逻辑分析仪

型号	LA1000 系列					LA2000 系列		
	LA1016	LA1024	LA1232	LA1432	LA1532	LA2232	LA2432	LA2532
输入通道	16	24	32			32		
最大定时采样率	100MHz	100MHz	100MHz			200MHz		
存储深度	32Kbit	32Kbit	128Kbit	512Kbit	1Mbit	128Kbit	512Kbit	1Mbit

2.1.2 LAB 系列逻辑分析仪

致远逻辑分析仪 LAB 系列的命名规则如图 2.2 所示。



图 2.2 LAB 系列逻辑分析仪的命名规则

如表 2.2 所示逻辑分析仪 LAB7504, 其中 7 表示逻辑分析仪系列号, 50 表示逻辑分析的最高定时采样频率为 5000MHz (即 5GHz), 4 表示逻辑分析仪的单通道存储容量为 $2^4 \times 4Mbit$ (即 64Mbit)。

表 2.2 LAB 系列逻辑分析仪

型号	LAB6000 系列				LAB7000	
	LAB6021	LAB6022	LAB6051	LAB6052	LAB7503	LAB7504
输入通道	32					
最高定时采样率	200MHz	200MHz	500MHz	500MHz	1GHz/半通道 500MHz/全通道	
存储深度	8Mbit	16Mbit	8Mbit	16Mbit	64Mbit/半通道 32Mbit/全通道	128Mbit/半通道 64Mbit/全通道

2.2 功能特色

2.2.1 测量线

一般来说，示波器、逻辑分析仪的探头负荷模型如图 2.3 所示。在较低频率上，电阻器会主导探头阻抗，此时对目标的影响最小。这是因为探头阻抗一般在 $100\text{k}\Omega$ ，而目标一般在 $50\sim 75\Omega$ 。两个阻抗并联，会产生最接近目标的阻抗。但在超高频上，探头会引入电感，阻抗将提高，探头负荷的电容和电感会形成谐振。逻辑分析仪探头的目标是尽可能提高谐振的频率。

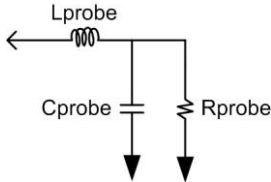


图 2.3 逻辑分析仪测量探头示意图

广州致远电子有限公司研制的 LA-Probe-E 测量线采用独特的探头结构设计，具有极小的探头负载效应，即使在高频部分（大于 100MHz ）其输入阻抗也大于 550Ω ，远大于目标输出阻抗，对被测系统几乎没有影响，确保测量的正确性。

2.2.2 逻辑笔

致远逻辑分析仪具有逻辑笔功能，逻辑笔功能是由硬件系统自动实现，不需要任何设置。逻辑笔在硬件开发中主要用来对一些低频的信号进行电平检测。

逻辑笔的表现形式有3种，如图2.4所示从上到下依次为：当前输入通道为高电平、当前输入通道为低电平、当前输入通道为有变化。



图 2.4 逻辑笔的表现形式

逻辑笔的电平根据 PODA 和 POdB 设置的门限电平进行判断，可以根据系统需要更改输入门限电压，点击菜单中的【设置】→【采样】进行设置，如图 2.5 所示。当需要比较特殊的门限电压时，还可以自行在下拉框中输入需要的电压，精度为 50mV 。

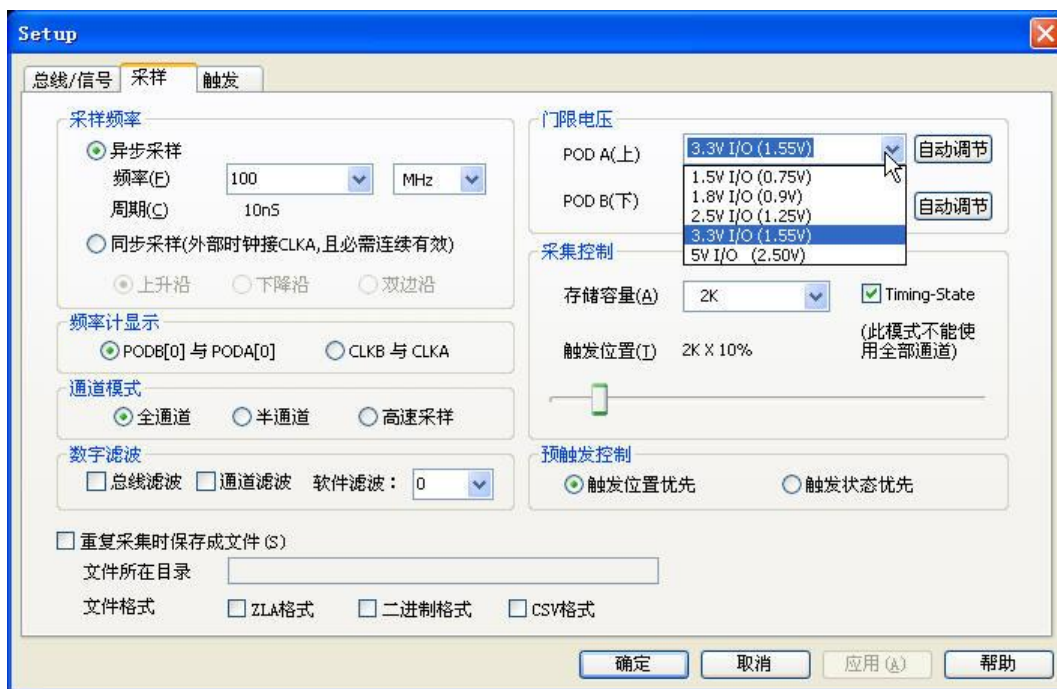


图 2.5 门限电压的设置

2.2.3 频率计

致远逻辑分析仪中带有频率计功能，使用频率计功能可以对测量端子的输入频率进行精确测量。测量结果会根据频率的高低分为 Hz、KHz 和 MHz，自动保留小数点后 3 位有效值，左边的窗口表示 PODB 的频率输入，右边的窗口表示 PODA 频率输入，如图 2.6 所示。对于一些高频的时钟信号，可以使用频率计输入引脚直接快速地测量频率，不需要进行波形测量，既省时间又提高了效率。频率计的测量范围为 10Hz~50MHz。



图 2.6 频率测量结果

为了方便用户进行观察逻辑笔频率，频率计还有一项人性化设置。鼠标指针指向要移动的频率计工具栏左侧的垂直圆点线，鼠标的箭头变成十字形，如所图 2.7 示。



图 2.7 移动频率计

按下鼠标左键把频率计拖放到测量窗口上。频率计显示会以放大形式显示，便于远距离观察，如图 2.8 所示。

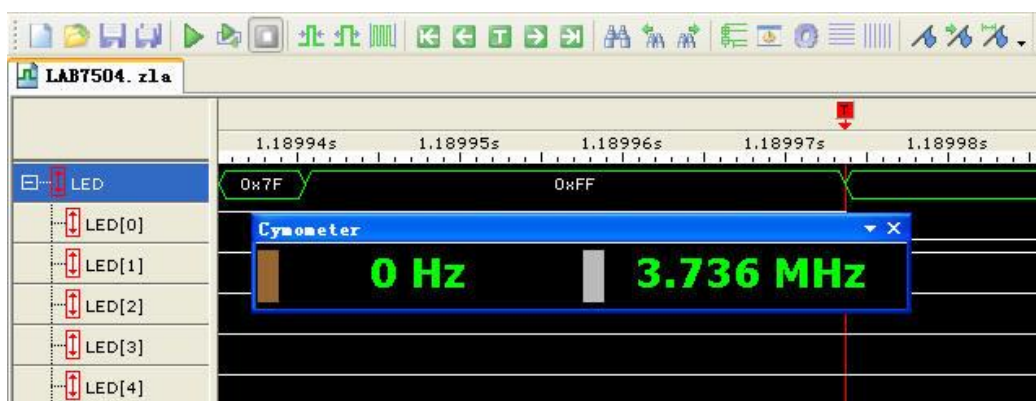


图 2.8 频率计放大显示结果

2.2.4 双边沿同步采样

对于目前越来越多的多边沿总线，最能反映其实际时序的是采用同步采样模式。致远逻辑分析仪 LAB7000 系列可以提供 250MHz 状态时钟的双边沿同步采样模式，最高数据率可达 500Mbps。

2.2.5 触发方式

逻辑分析仪的强大性能之一就是触发方式。致远逻辑分析仪可提供 12 种快速触发、外部触发、可视化触发、插件触发、高级触发等多种触发方式。

1. 快速触发

- (1) 立即触发：当用户按下启动按钮时就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (2) 上升沿触发：当用户按下启动按钮后，如果指定的信号出现从低电平到高电平的跳变就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (3) 下降沿触发：当用户按下启动按钮后，如果指定的信号出现从高电平到低电平的跳变就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (4) 边沿触发：当用户按下启动按钮后，如果指定的信号出现跳变就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (5) 特定数据触发：当用户按下启动按钮后，如果总线上出现指定的数据就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (6) 数据队列触发：当用户按下启动按钮后，如果总线上依次出现指定的数据队列就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (7) 特定数据及上升沿触发：当用户按下启动按钮后，如果总线上出现指定的数据并且指定的信号出现从低电平到高电平的跳变时就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (8) 特定数据及下降沿触发：当用户按下启动按钮后，如果总线上出现指定的数据并且指定的信号出现从高电平到低电平的跳变时就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (9) 数据宽度触发：当用户按下启动按钮后，如果总线上出现指定的数据并且持续的时间大于或者等于指定的时间就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (10) 数据到来延时触发：当用户按下启动按钮后，如果总线上出现指定的数据经过指定的时间就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (11) 数据结束延时触发：当用户按下启动按钮后，如果总线上出现指定的数据结束后再经

- 过指定的时间就开始采集数据，直到数据缓冲区记录满数据后停止并显示。
- (12) 数据次数触发：当用户按下启动按钮后，如果总线上出现指定的数据并且达到指定的次数就开始采集数据，直到数据缓冲区记录满数据后停止并显示。

2. 外部触发

外部触发分为触发输入和触发输出，分别用 Ext Trig 和 Trig Out 标识，使用 BNC 连接器。

外部触发是逻辑分析仪重要的功能之一，常用于两种测试工具的同步测试。也就是说，一台逻辑分析仪能被另一个测试工具的一个信号所启动，或者当一台逻辑分析仪触发时，它可以输出一个信号给另一个测试工具。

例如为了使逻辑分析仪采样到的信号能与示波器的信号同步显示，可将逻辑分析仪的触发条件设置为外部触发，并且将逻辑分析仪的触发输出与示波器的触发输入相连。

3. 可视化触发

所谓可视触发，即触发条件的设置是可以形象地观察的。当用户在第一次采集回来的波形中发现程序中存在随机错误，就可以把发生错误时的相关波形作为下一次触发的条件。

4. 插件触发

插件触发，即可根据选用的分析插件直接选择协议中的特殊触发位置，自动生成触发的条件。

5. 高级触发

高级触发由一系列自定义的步骤组成，每一个步骤由条件设定、满足条件时的操作、不满足条件时的操作三部分组成。致远逻辑分析仪可以设置 256 级高级触发。

2.2.6 数据滤波

数字滤波技术是信号处理中一种重要的去噪、消除干扰的方法。在致远逻辑分析仪的软件采样界面里，可观察到数字滤波选项的下面有三种选择，分别是总线滤波、通道滤波和软件滤波，其中前两项属于硬件滤波，后一项是软件滤波，如图 2.9 所示。

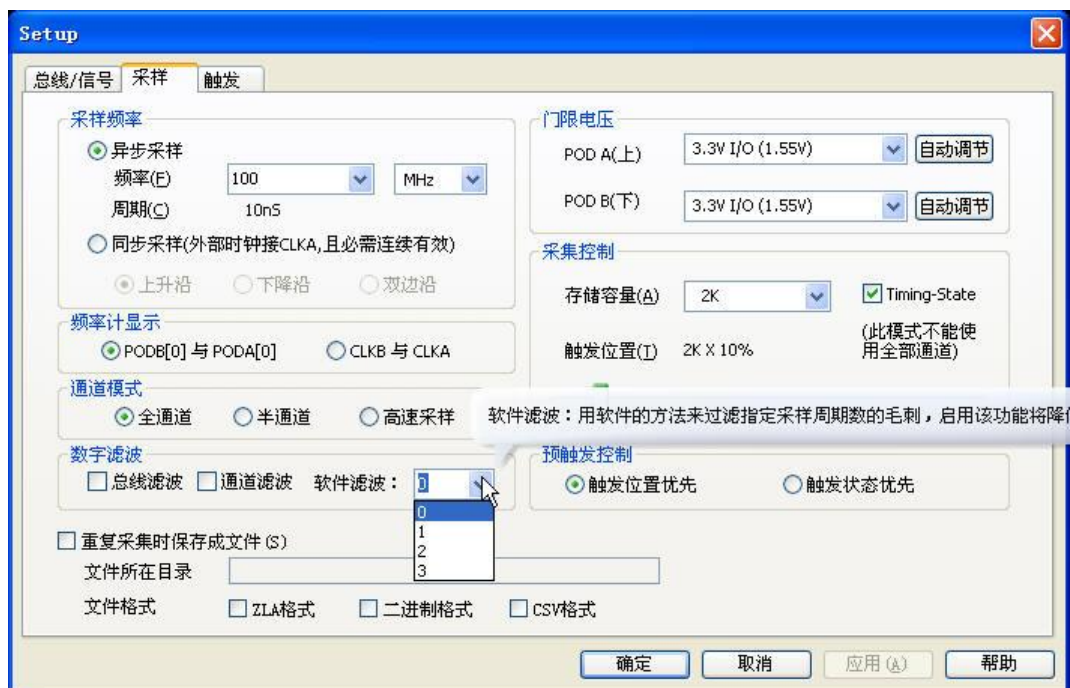


图 2.9 逻辑分析仪的数字滤波

硬件滤波和软件滤波的区别：硬件滤波是在采样的时候由硬件完成的；软件滤波是在硬件采集并上传数据之后，在软件界面上完成的，波形具有可变性。软件滤波有四个等级，分别为 0、1、2、3 级。其中默认为 0 级（即不进行软件滤波），1 级可以把信号上 1 个采样周期以内的干扰频率进行过滤；2 级可以把信号上 2 个采样周期以内的干扰频率进行过滤；3 级可以把信号上 3 个采样周期以内的干扰频率进行过滤；

2.2.7 数据导出

致远逻辑分析除了可以保存为逻辑分析仪自定义的格式（zla）之外，还为用户提供两个层次的数据导出功能：第一层次是原始的采样数据；第二层次是协议解析后的数据。

1. 原始数据导出

致远逻辑分析仪的原始数据导出可使用两种格式：二进制（bin）文件和 CSV 文件。将波形采集回来以后，点击逻辑分析仪软件菜单【文件】→【导出为二进制文件】或者【导出为 CSV 文件】即可。二进制文件可以用相关的软件打开，CSV 文件可以直接用 Excel 打开。

2. 协议解析数据导出

致远逻辑分析仪支持包括 UART、IIC、SPI 在内的数十种协议解析，但不支持协议解析后数据的查找，而协议解析数据的导出功能则在某一程度上解决了这一问题。

将波形采集回来后，点击【工具】→【插件管理器】，选择对应协议，点击【确定】，在弹出的插件设置对话框中的【保存为文件】勾选【保存】即可。

2.2.8 协议分析

协议分析就是能根据某一传输通信协议，对被测量的数据进行分析解码，还原出原始传输的数据。

传统的逻辑分析仪没有或者只支持少量的总线协议解码，开发人员要么采用人工分析方法，这种分析方式不仅要求分析人员对协议非常熟悉，而且数据量大，分析过程容易出错；要么另外付费购买总线协议解析模块，价格昂贵。

致远逻辑分析仪对三十多种协议解析提供免费支持，使得大多数开发人员可以很轻松的发现错误、调试硬件、加快开发进度，为高速度、高质量完成工程提供保障。

2.3 型号对比

致远逻辑分析仪分为 LA 系列和 LAB 系列。

2.3.1 LA 系列对比

LA 系列包括 LA1000、LA2000 和 LA5000 系列，其中 LA1016、LA1024、LA1032、LA5034 已经停产。下面对 LA 系列在线的各个型号进行对比，如表 2.3 所示。

表 2.3 LA 系列逻辑分析仪对比

型号	LA1000 系列			LA2000 系列		
	LA1232	LA1432	LA1532	LA2232	LA2432	LA2532
输入通道	32					
最大定时采样率	100MHz			200MHz		
最大状态采样率	30MHz			80MHz		
存储容量	4Mbit	16Mbit	32Mbit	4Mbit	16Mbit	32Mbit
存储深度/通道	128Kbit	512Kbit	1Mbit	128Kbit	512Kbit	1Mbit

续上表

触发位置	开始，中间，结尾，用户定义
输入范围	-30V~+30V
支持信号类型	单端信号
触发电平	-4V~+4V
触发方式	快速触发、可视触发、高级触发、插件触发
分析功能	总线分析、协议分析、代码分析
插件分析	AD、CF、Manchester、Miler、MODBUS、SD 卡 SPI 模式、Wiegand、8051、别名表、通用 CLK 总线、I ² C、SMBus、SSI、1-Wire、SPI、UART、红外 NEC 编码
数据记录模式	Timing、State、Timing-State

从上表中可以看出：①LA1000 系列不同型号的逻辑分析仪的区别在于存储深度的不同；LA2000 系列不同型号的逻辑分析仪的区别在于存储深度的不同；③LA2000 系列相比 LA1000 系列的优势在于采样频率相对提高。

LA2532 比其它型号的多了一些插件分析：I²S、SD 卡 SD 模式、PS2、CAN、LIN 等。

2.3.2 LAB 系列对比

LAB 系列包括 LAB6000 和 LAB7000 系列，如表 2.4 所示是 LAB 系列的各个型号的对比。

表 2.4 LAB 系列逻辑分析仪对比

型号	LAB6000 系列				LAB7000 系列	
	LAB6021	LAB6022	LAB6051	LAB6052	LAB7503	LAB7504
输入通道	32					
最大定时采样率	200MHz		500MHz		1GHz/半通道；500MHz/全通道	
最大状态采样率	80MHz		250MHz		250MHz	
存储容量	256 Mbit	512 Mbit	256Mbit	512 Mbit	1GMbit	2GMbit
存储深度/通道	8 Mbit	16 Mbit	8 Mbit	16 Mbit	64Mbit/半通道 32Mbit/全通道	128Mbit/半通道 64Mbit/全通道
同步 DDR 采样	不支持				最大数据率 500M	
高速定时采样	不支持				5GHz\32CH\4Kbits	
触发位置	开始，中间，结尾，用户定义					
输入范围	-30V~+30V					
支持信号类型	单端信号					
触发电平	-10V~+10V					
触发方式	快速触发、可视触发、高级触发、插件触发					
分析功能	总线分析、协议分析、代码分析					
插件分析	AD、CF、Manchester、Miler、MODBUS、SD 卡协议 SPI 模式、Wiegand、8051、别名表、通用 CLK 总线、I ² C/SMBus、SSI、1-Wire、SPI、UART、I ² S、SD 卡 SD 模式、PS2Bus、CANBus、LINBus、ISO7816、HDQ、DSABus、AC97、DALI、JTAG、FLEXRAY、PROFIBUS、DMX512、USB、SDQ、红外 NEC 编码、BMS 与非车载充电机通信协议					
数据记录模式	Timing、State、Timing-State					

从上表中可以看出：①LAB6000 系列的逻辑分析仪在采样频率相同的条件下，存储深度有所不同；在存储深度相同的条件下，采样频率有所不同；②LAB7000 系列的逻辑分析仪主要的不同在于存储容量；③LAB7000 系列相比 LAB6000 的优势在于：存储容量大、支持高速采样和同步 DDR 采样等。

2.3.3 LA 系列与 LAB 系列对比

从和可以看出，LAB 系列相比 LA 系列的优势在于：


- (1) 采样频率大大提高
- (2) 存储容量大大增加
- (3) 输入电压和触发电压范围大大增加
- (4) 支持的插件分析种类大大增加
- (5) LAB7000 系列支持高速定时采样和同步 DDR 采样

第3章 如何使用逻辑分析仪

3.1 逻辑分析仪软件安装

首先从致远电子有限公司的网站上将逻辑分析仪的最新软件下载下来，并执行下列步骤进行安装。

3.1.1 安装 ZlgLogic 软件

1. 双击图标，出现如图 3.1 所示的正在准备安装界面。

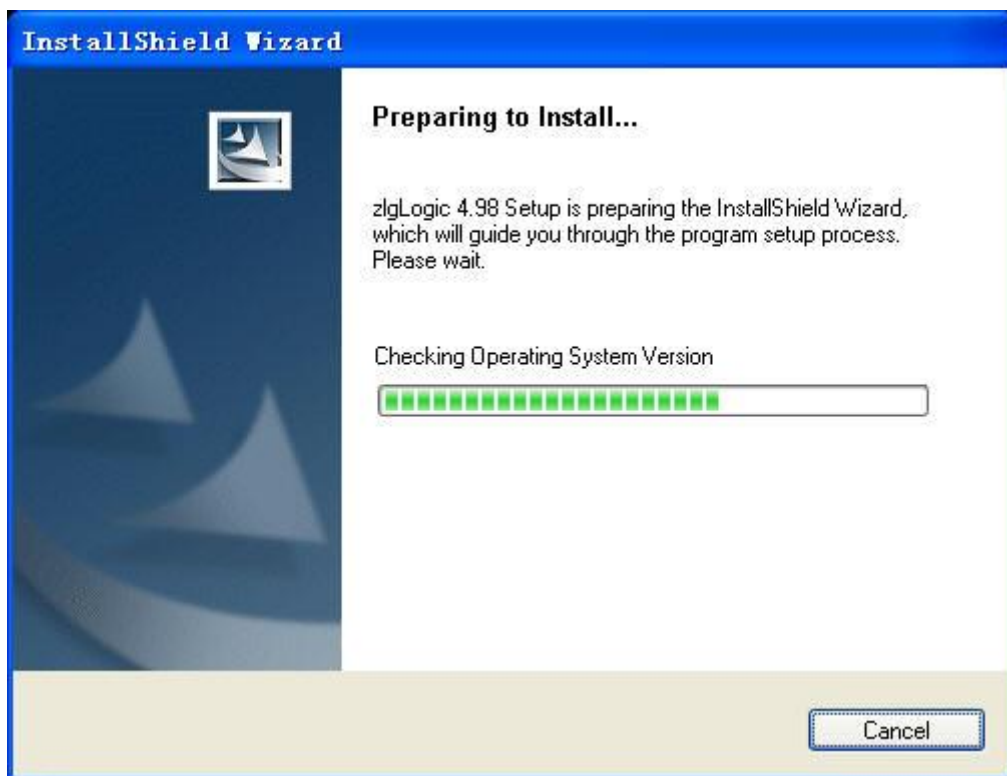


图 3.1 zlglogic 软件正在准备安装界面

2. 等待安装程序检测完操作系统后，按照如图 3.2 所示对话框，点击“Next”进行安装。

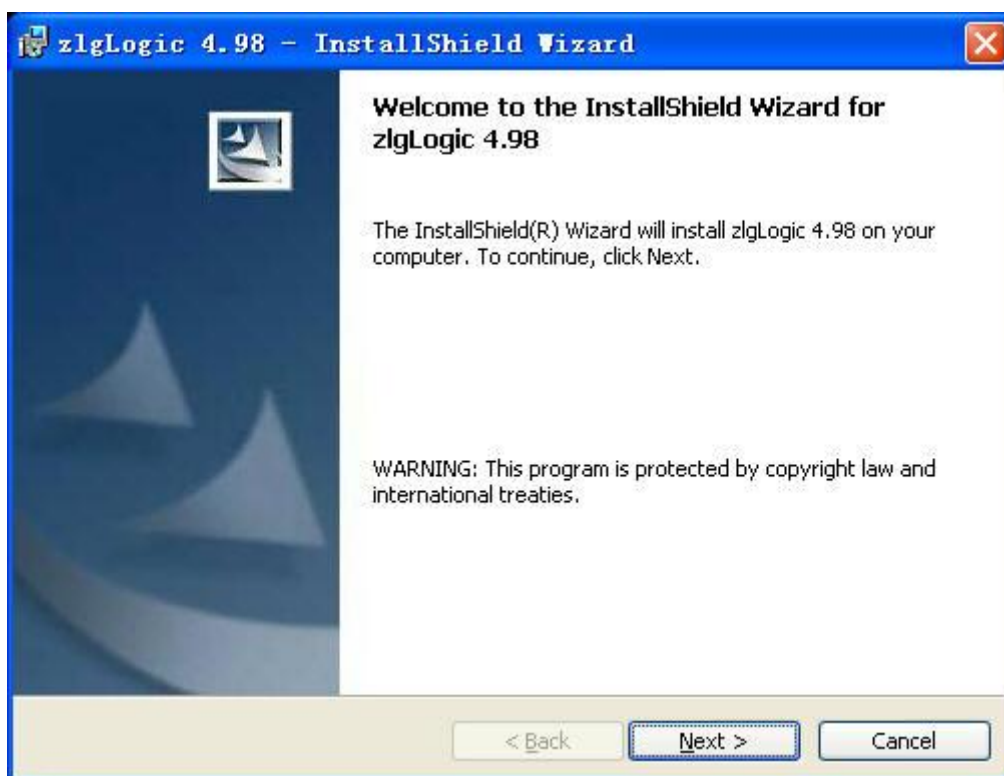


图 3.2 安装对话框

3. 在弹出的如图 3.3 所示的许可证协议对话框中，选择“I accept...”，然后点击“Next”。



图 3.3 许可证协议对话框

4. 在如图 3.4 所示对话框中输入用户信息，并设置使用权限，然后点击“Next”。

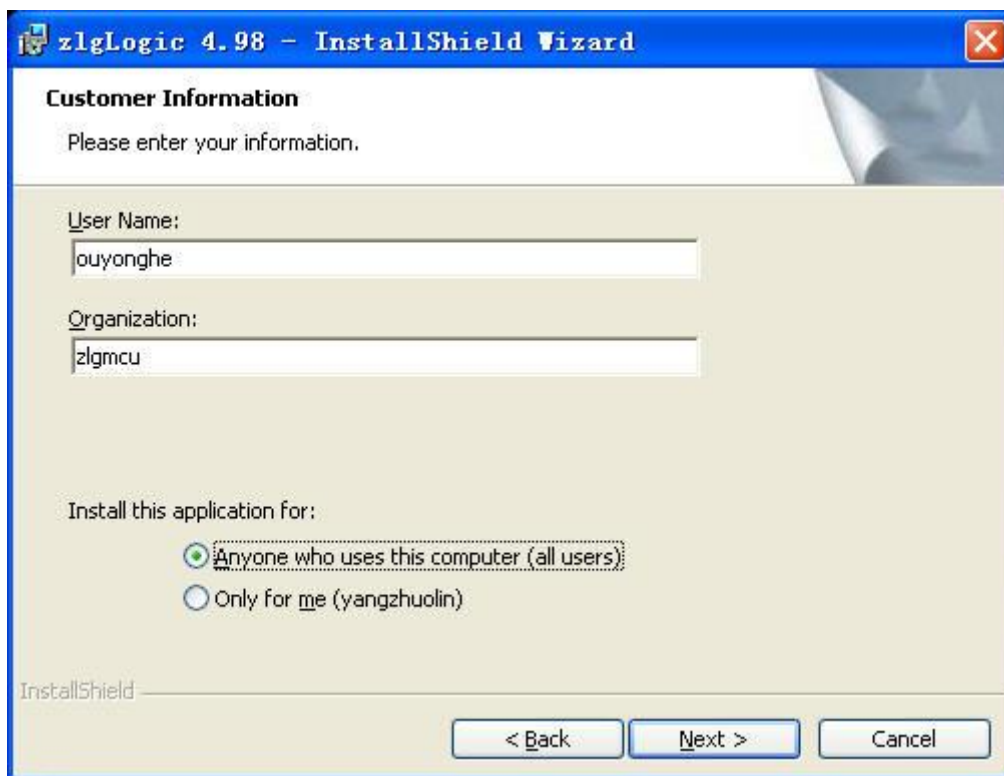


图 3.4 用户信息对话框

5. 在如图 3.5 所示对话框中，系统会默认一个软件安装文件夹，若用户需要改变目的文件夹，则点击“Change”来设定一个新的安装路径，然后点击“Next”继续安装。

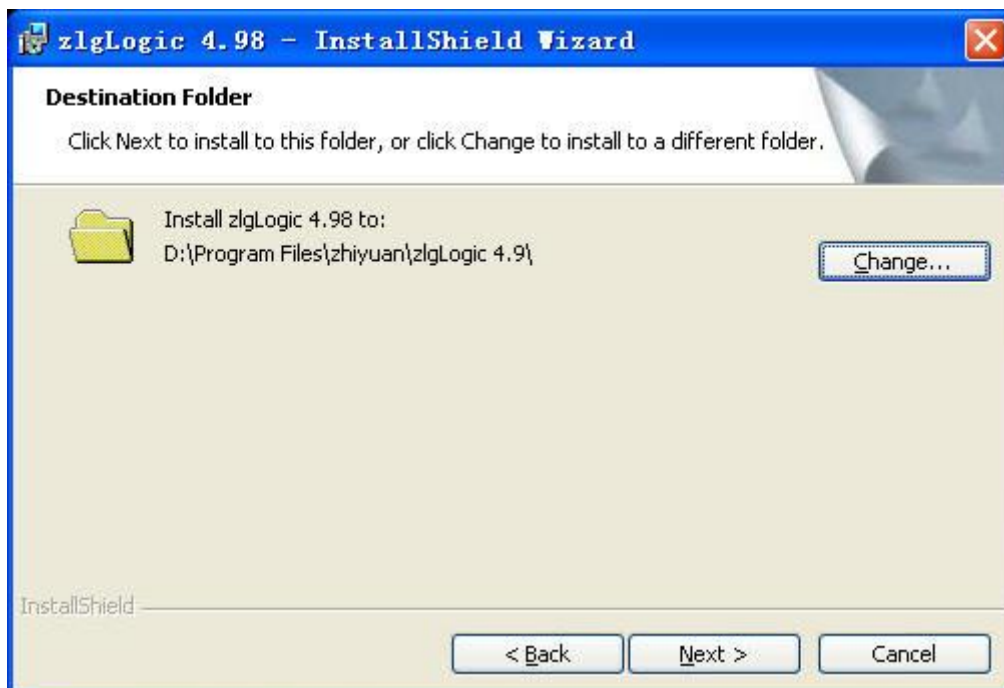


图 3.5 安装路径选择对话框

6. 在如图 3.6 所示对话框中检查安装信息，若确认无误，可点击“Install”继续安装。

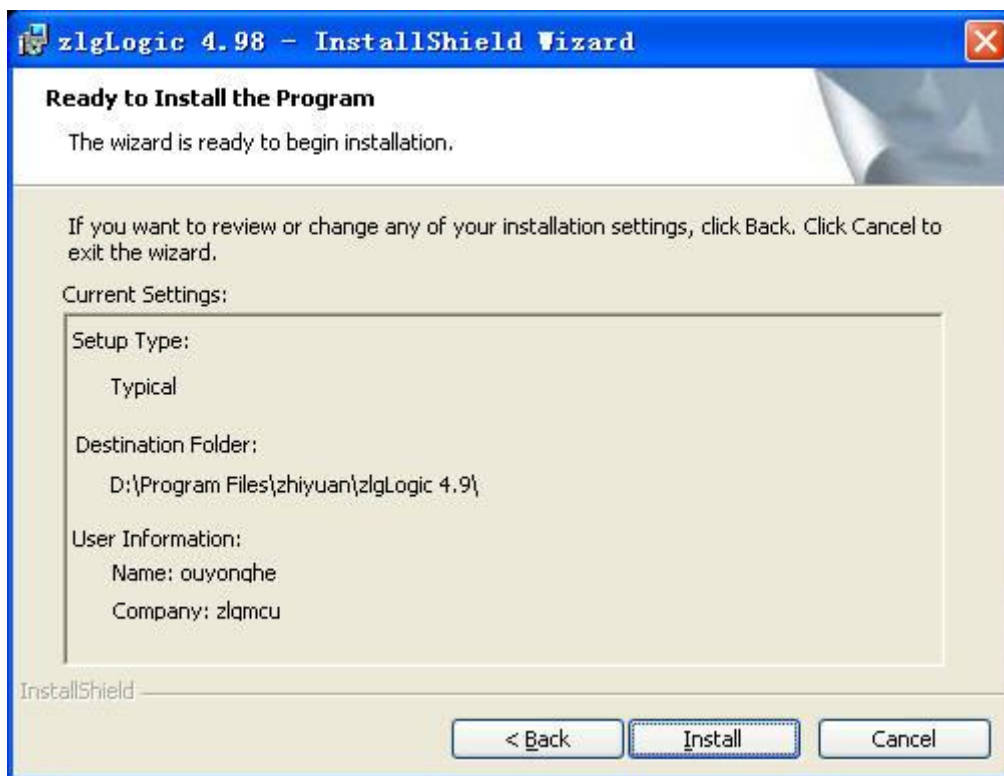


图 3.6 安装信息界面

7. 可以看到出现如图 3.7 所示的 zlgLogic 安装过程。

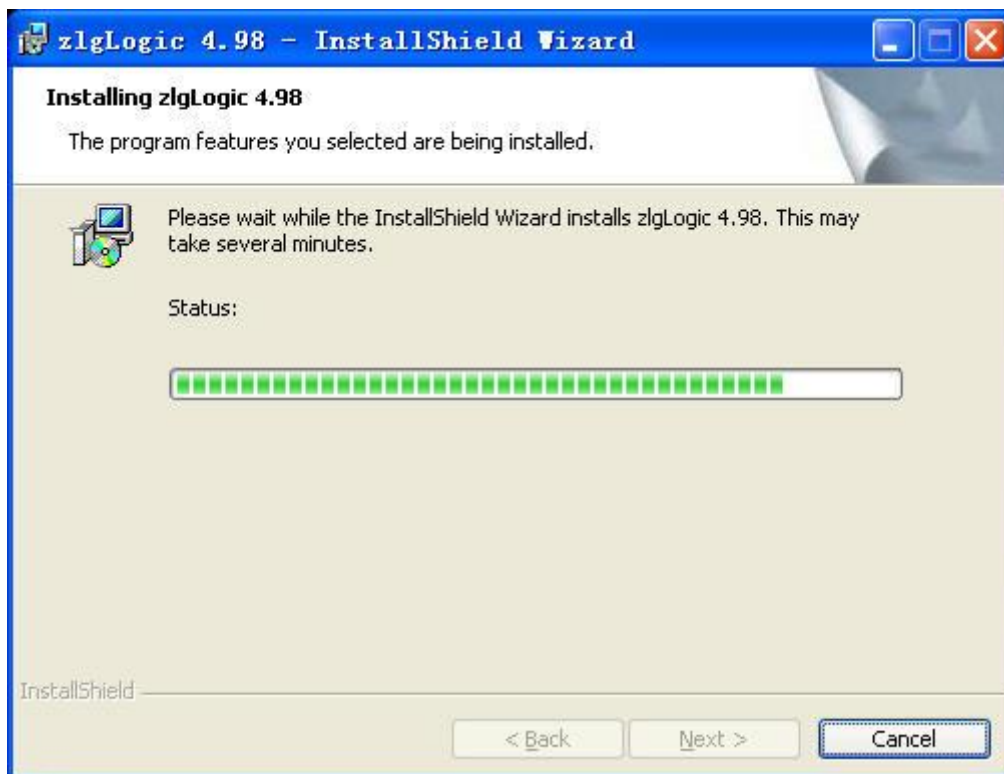


图 3.7 zlglogic 安装过程

3.1.2 安装驱动程序

1. 安装完 zlgLogic 之后，自动弹出如图 3.8 所示对话框，点击“下一步”来安装驱动程序。

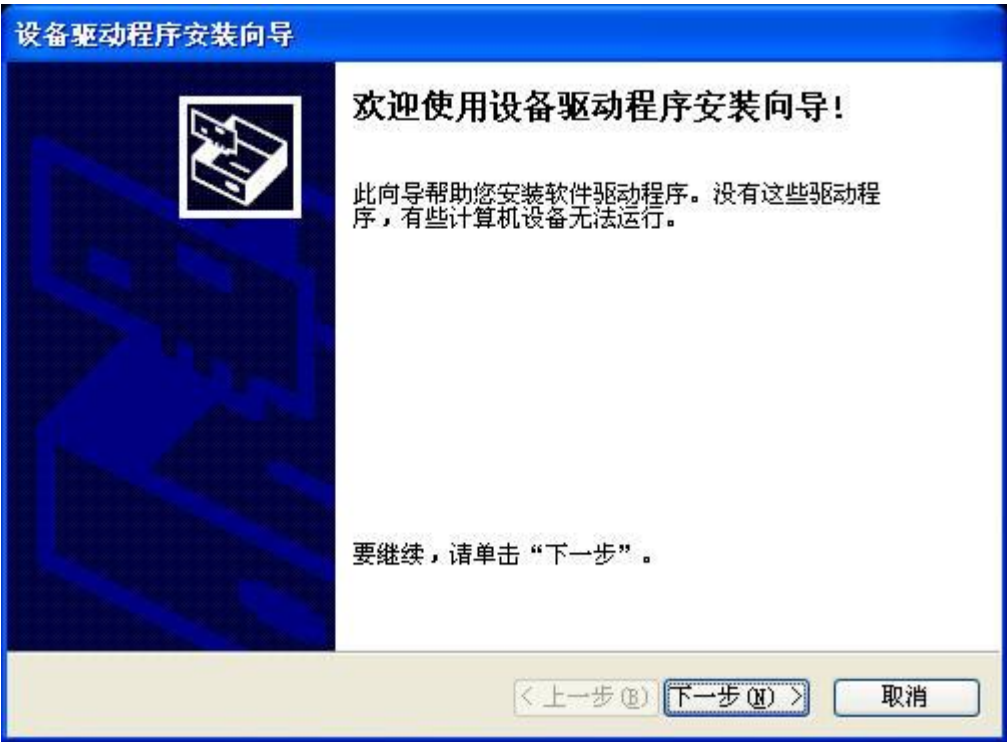


图 3.8 驱动安装界面

注：在安装此驱动程序时，请不要连接逻辑分析仪！

2. 驱动安装完成如图 3.9 所示，点击“完成”。

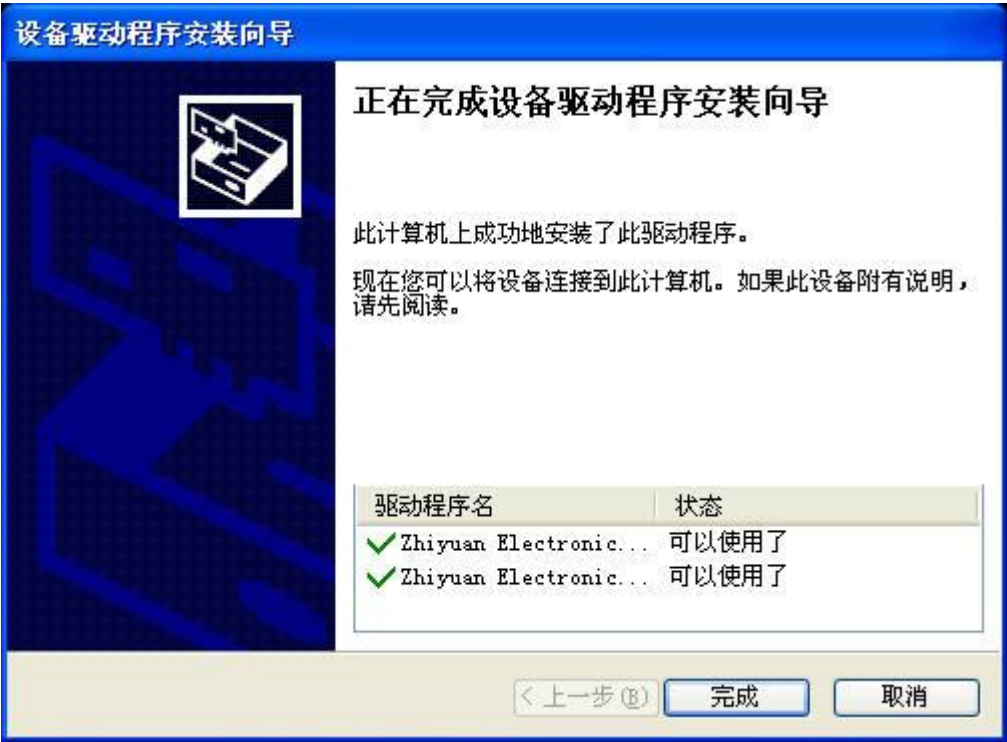


图 3.9 驱动安装完成

3. 如图 3.10 所示，zlgLogic 被成功地安装了，若选择“Launch the program”则在点击“Finish”之后自动打开该软件。

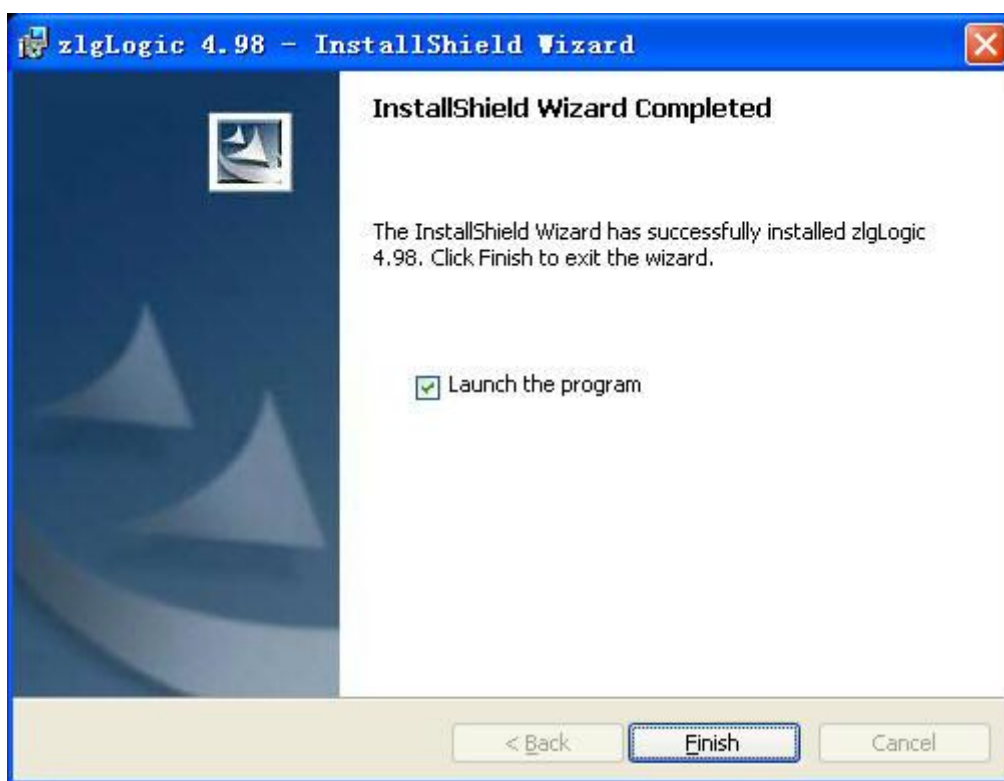


图 3.10 zlglogic 软件安装完成界面

3.1.3 软件升级

1. 打开 zlglogic 软件后，如果软件有更新，就会出现如图 3.11 所示对话框，点击“Yes”即可进行升级。

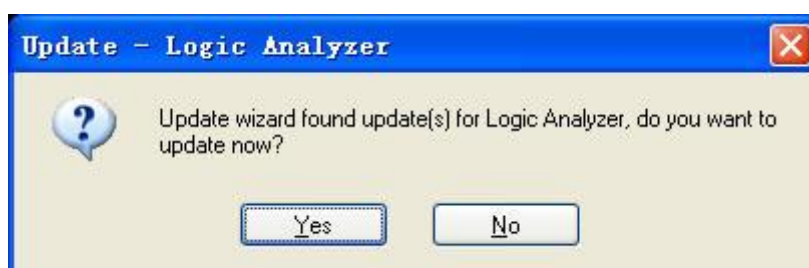


图 3.11 软件升级对话框

2. 点击如图 3.12 所示对话框中的“Next”。

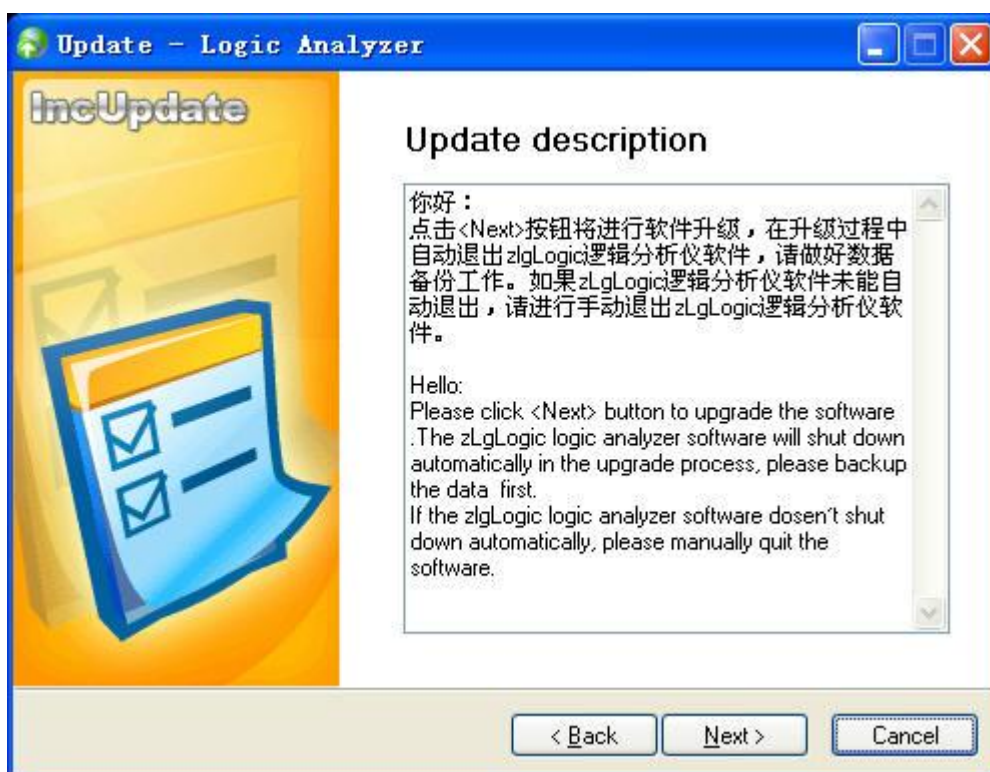


图 3.12 软件升级提示信息

3. 升级过程如图 3.13 所示。

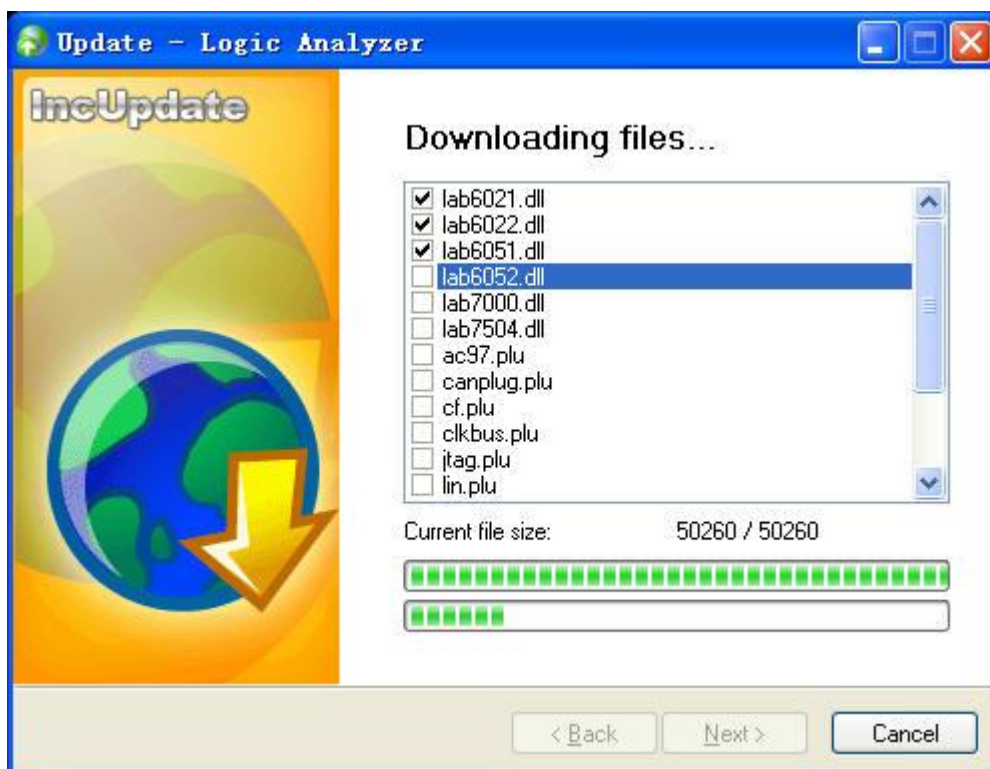


图 3.13 软件升级过程

4. 升级完成如图 3.14 所示。

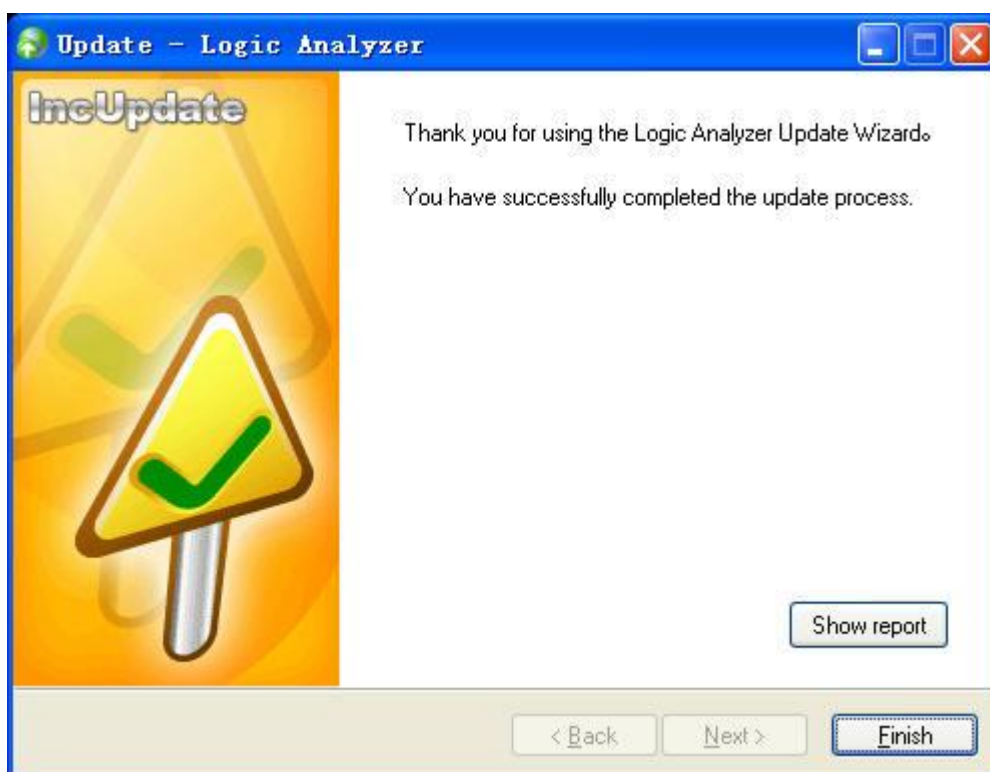


图 3.14 软件升级完成界面

3.2 逻辑分析仪硬件连接

当软件安装完成后，就可以进行逻辑分析仪硬件连接了。首先插上逻辑分析仪的适配电源，用 USB 线连接逻辑分析仪和 PC 机。如果是 LAB 系列逻辑分析仪，先将逻辑分析仪背后的开关按钮打开，这时“PWR”灯亮，接着长按逻辑分析仪前面的软开关启动逻辑分析仪硬件。

第一次连接逻辑分析仪和 PC 机，则需要按照下面的步骤进行操作。

- (1) 如图 3.15 所示出现的对话框。推荐选择“自动安装软件”，点击“下一步”即可进行硬件查找。



图 3.15 找到新硬件向导对话框

(2) 硬件查找界面如图 3.16 所示。



图 3.16 硬件查找界面

(3) 当弹出如图 3.17 所示对话框, 请选择“仍然继续”, 则会出现如图 3.18 所示查找界面。

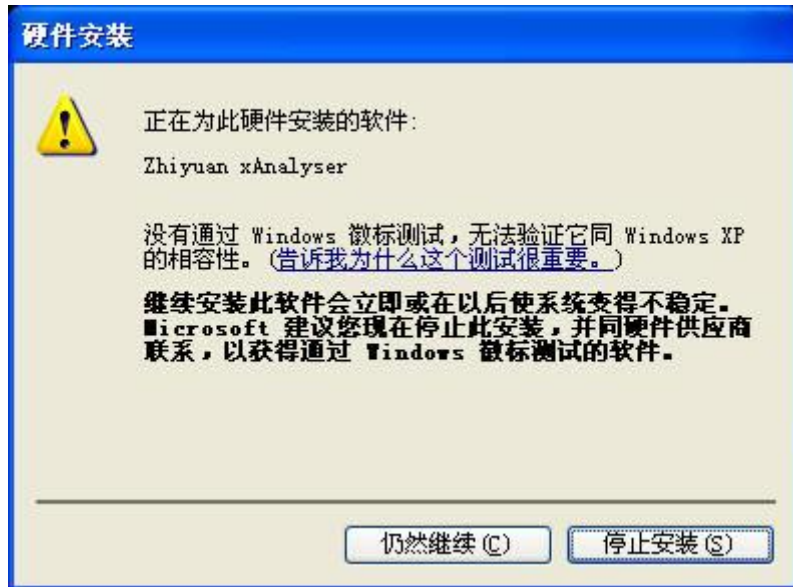


图 3.17 硬件查找对话框

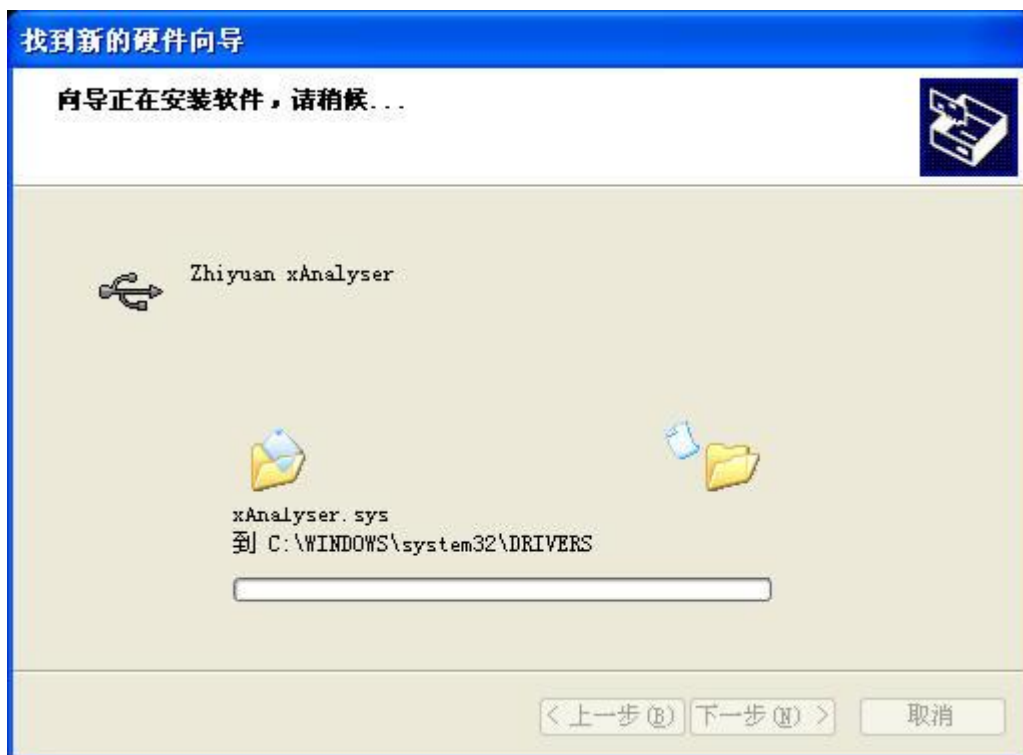


图 3.18 硬件查找过程

(4) 完成新硬件向导查找如图 3.19 所示, 点击“完成”。



图 3.19 完成新硬件向导查找界面

- (5) 右击“我的电脑”，选择“属性”，在“硬件”选项卡中点击“设备管理器”，即可在“通用串行总线控制器”中看到“Zhiyuan xAnalyser”。如图 3.20 所示，则可以正常使用逻辑分析仪。



图 3.20 查看设备管理器

打开逻辑分析仪软件，会在软件的右下方显示“在线”，说明逻辑分析与 PC 机连接正常。

3.3 逻辑分析仪使用步骤

下面使用 LAB7504 逻辑分析仪和配套的 LogicDemo 板分别进行频率测量、总线测量、SPI 测量、SPI 总线分析、SPI 触发设置等来详细讲解逻辑分析仪的使用步骤。如图 3.21 所示，单片机 P89LPC913 通过 SPI 接口控制 74HC164，使 LED1~LED8 亮灭。

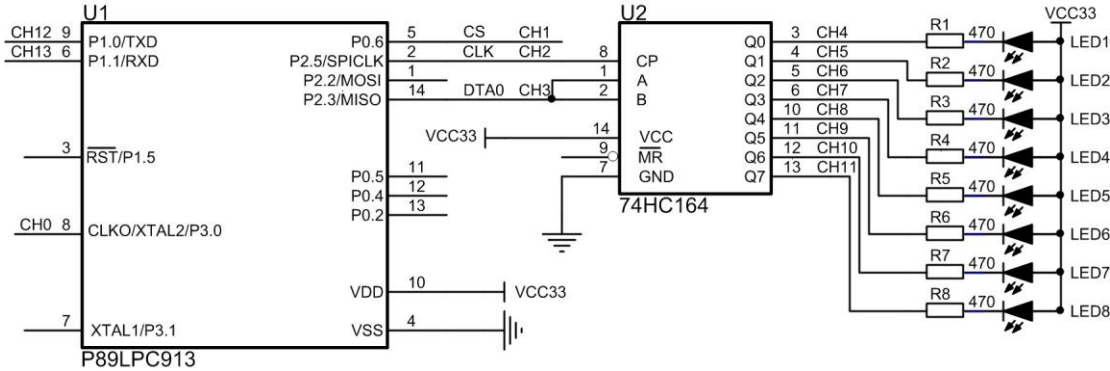


图 3.21 LogicDemo 板原理图

3.3.1 频率测量

逻辑分析仪可以通过两种方式进行频率的测量：采用 CLK 测量通道；采用 DATA0 通道。

1. 采用 CLK 测量通道

如果采用 CLK 测量通道，请按照以下的步骤进行频率测量。

- (1) 将逻辑分析仪的 CLK 测量通道连接单片机的晶振频率输出引脚（即 LogicDemo 板的 CH0 引脚），将逻辑分析仪的地线连接 LogicDemo 板的地线。
- (2) 点击【设置】→【采样】，在弹出如图 3.22 所示对话框中的【频率计显示】中选择【CLKB 与 CLKA】，点击【确定】就可以在主界面看到单片机的晶振频率。

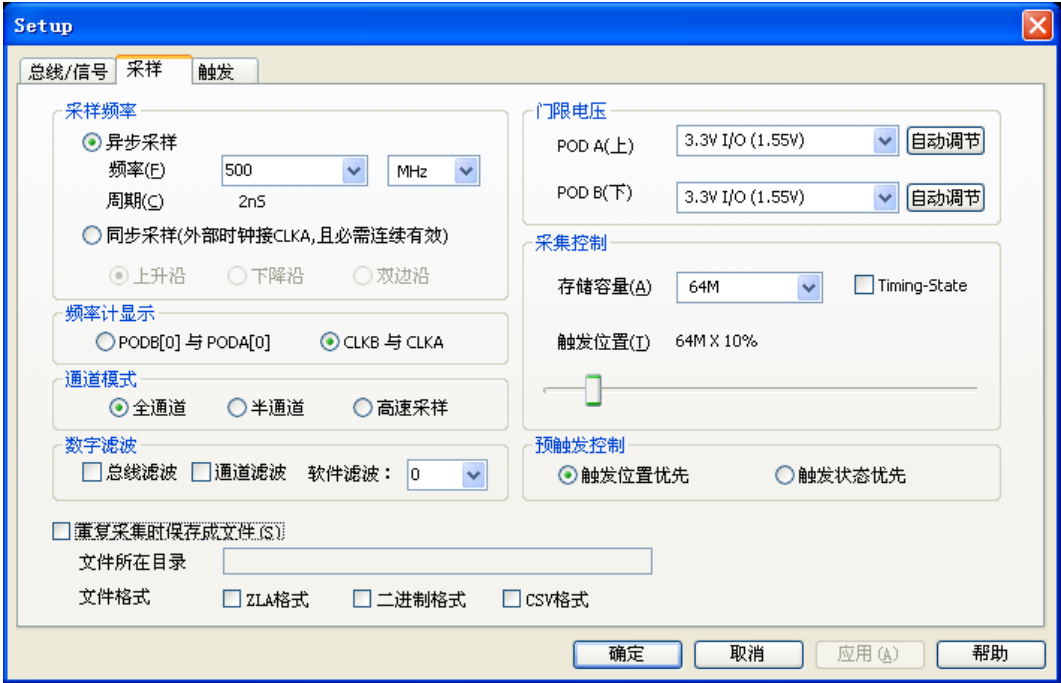


图 3.22 选择 CLK 通道

2. 采用 DATA0 测量通道

如果采用 DATA0 测量通道，请按照以下的步骤进行频率测量。

- (1) 将逻辑分析仪的 DATA0 测量通道连接单片机的晶振频率输出引脚（即 LogicDemo 板的 CH0 引脚），将逻辑分析仪的地线连接 LogicDemo 板的地线。
- (2) 点击逻辑分析仪软件菜单中的【设置】→【总线/信号】，在弹出对话框中双击默认的 MyBus0，输入 XTAL 完成重新命名。右键单击如图 3.23 所示位置将默认通道取消。

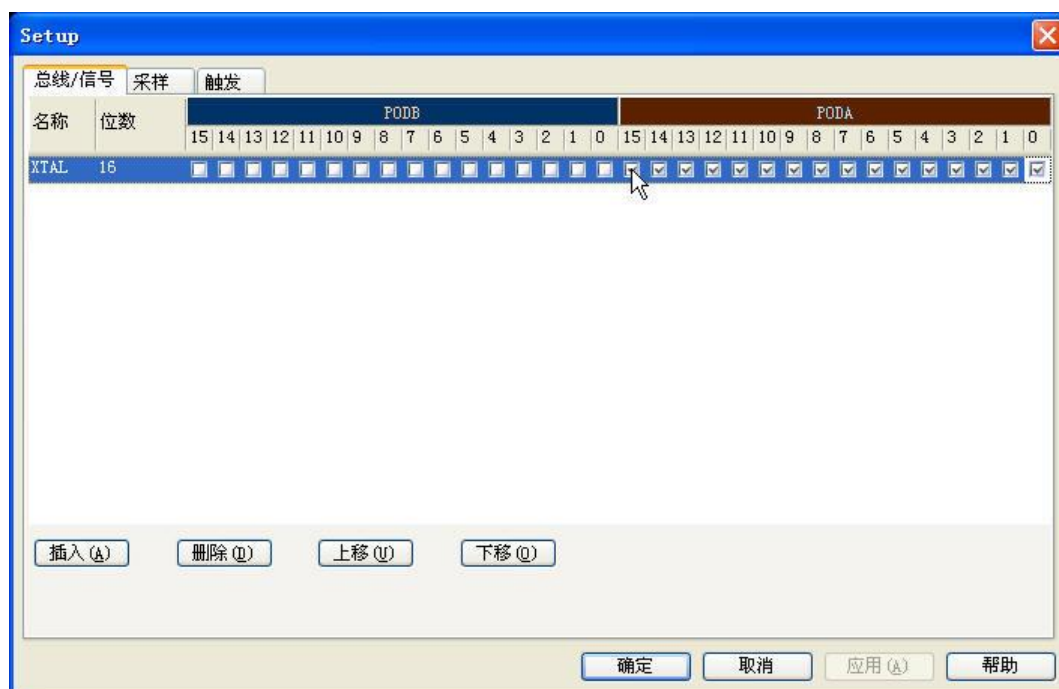


图 3.23 设置总线/信号

- (3) 左键单击选中 DATA0 通道对应的 PODA 的 0 位，如图 3.24 所示。

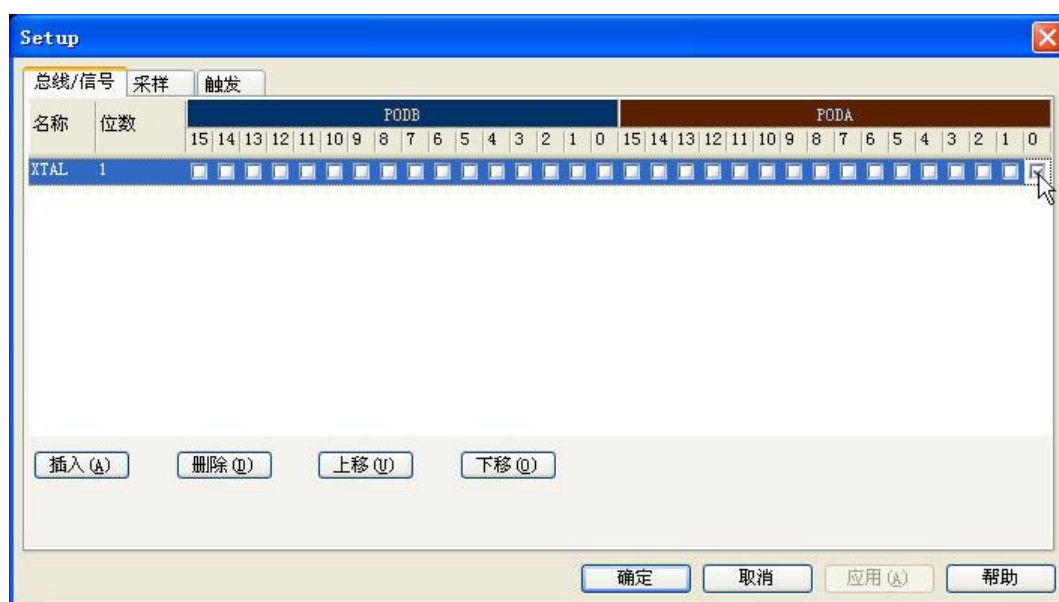


图 3.24 勾选 DATA0 通道

- (4) 点击【采样】选项卡，在【采样频率】设置异步采样频率为 100MHz，在【频率计显

示】中选择【PODB[0]与 PODA[0]】，在【采集控制】中设置存储容量为 1M，如图 3.25 所示。

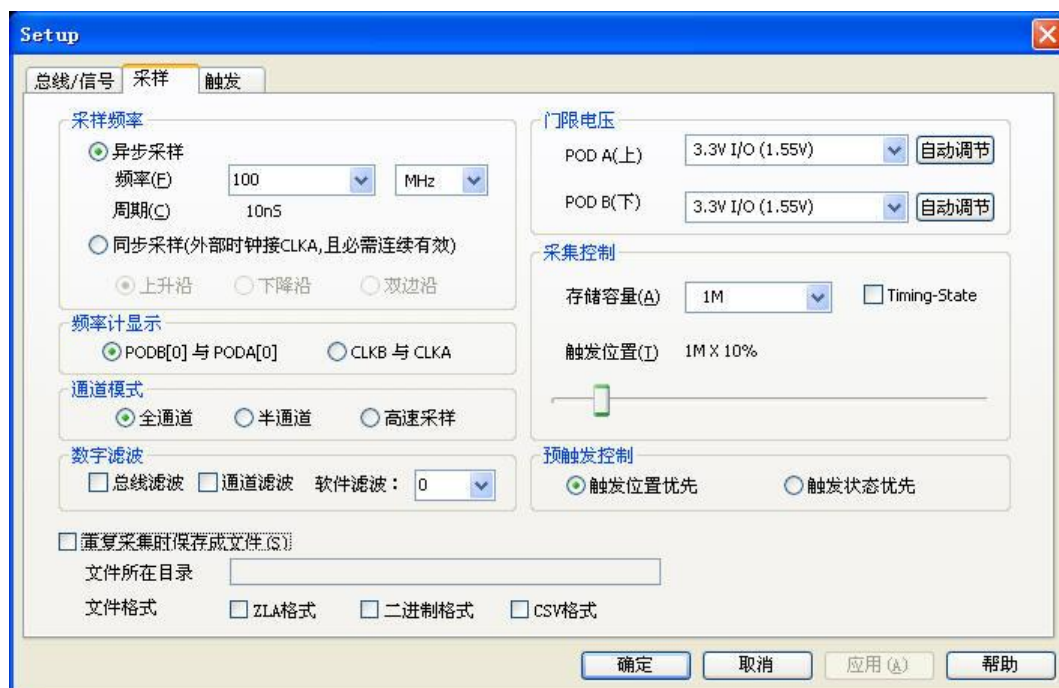


图 3.25 设置采样

(5) 点击【触发】选项卡，选择【立即触发】，如图 3.26 所示，点击【确定】按钮。

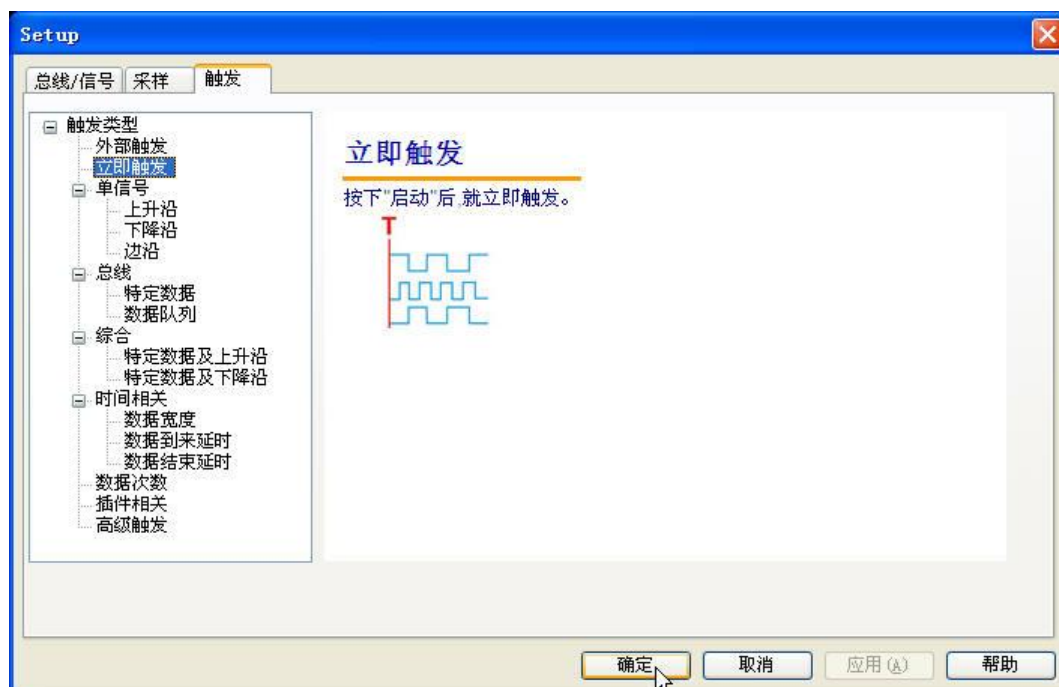



图 3.26 设置触发

(6) 点击逻辑分析仪软件工具栏中的（单次启动）按钮，逻辑分析仪显示对 XTAL 测量的波形结果。当鼠标放在测量的波形上时，逻辑分析仪软件就自动弹出测量提示，

如图 3.27 所示。

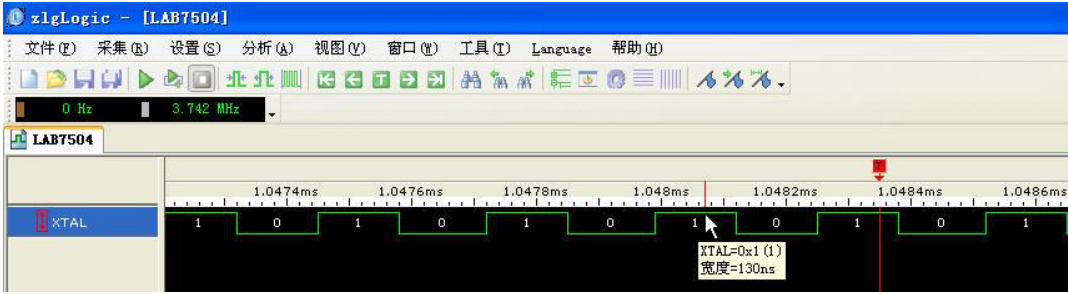


图 3.27 测量结果

3.3.2 总线测量

下面通过测量 LogicDemo 板上的八个流水灯来说明总线测量的使用，测量步骤如下。

- (1) 将逻辑分析仪 PODA 的 DATA0~DATA7 连接 LogicDemo 板上的 CH4~CH11 (即 74HC164 的 Q0~Q7)，将逻辑分析仪地线连接 LogicDemo 板的地线。
- (2) 点击逻辑分析仪软件菜单中的【设置】→【总线/信号】，在弹出对话框中点击【插入】来添加 LED 测量总线，如图 3.28 所示。点击【确定】按钮。

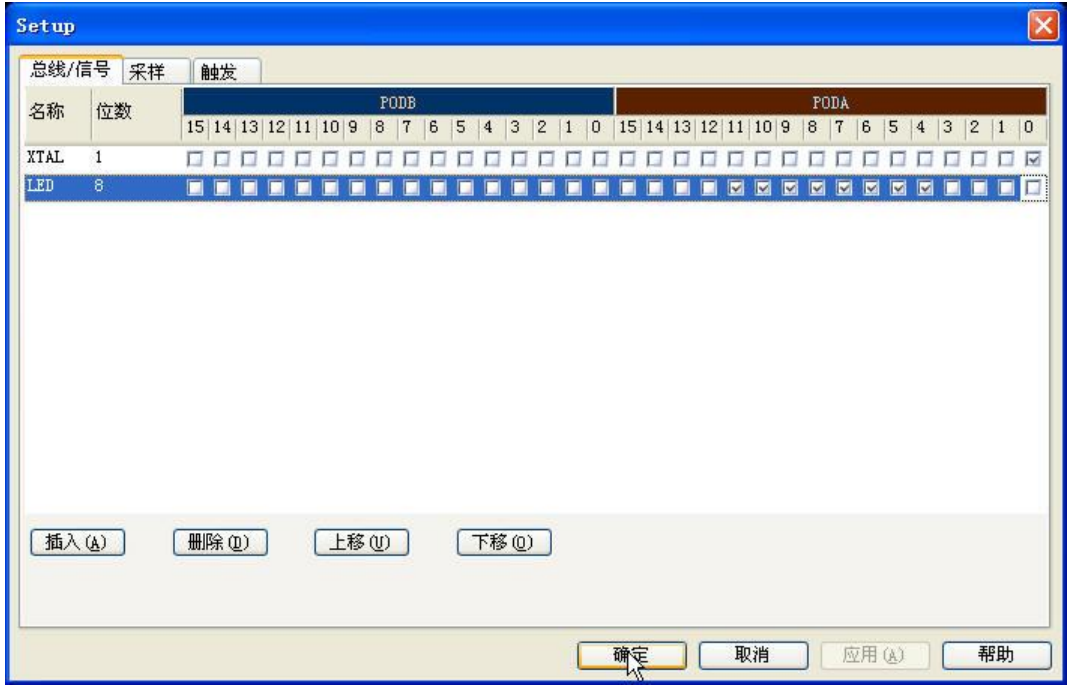



图 3.28 添加 LED 总线

- (3) 点击工具栏中的  (单次启动) 按钮，逻辑分析仪的测量结果如图 3.29 所示。因为 XTAL 的频率比 LED 频率高得多，难以与 LED 信号一起观察，为了便于观测 LED 总线，需要在【总线/信号】对话框中选中 XTAL 信号，点击【删除】按钮将 XTAL 信号删除。

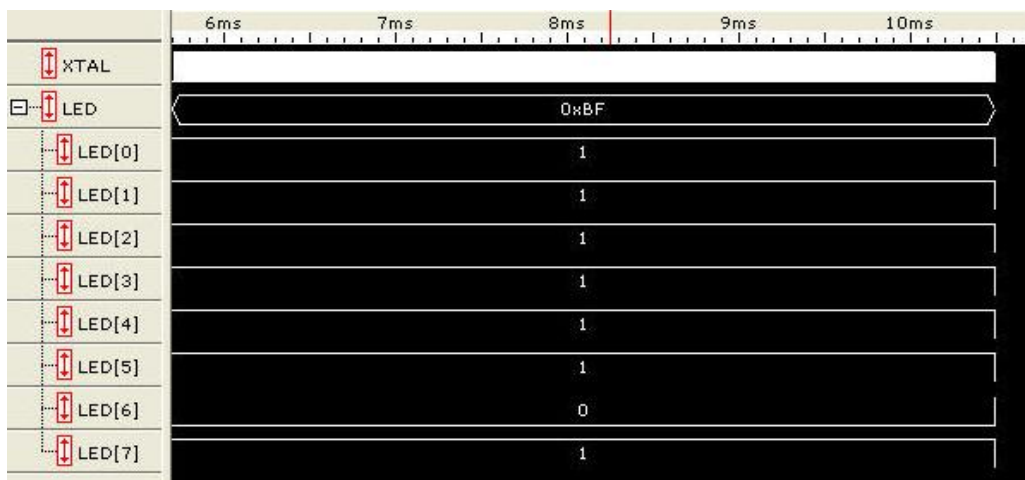


图 3.29 XTAL 与 LED 测量结果

- (4) 在【采样】对话框中的【采集控制】勾选 Timing-State，对于低频信号的采集，测量时间会变得很长。为了可以更快的观察结果，可把存储容量设置为 2K，如图 3.30 所示。

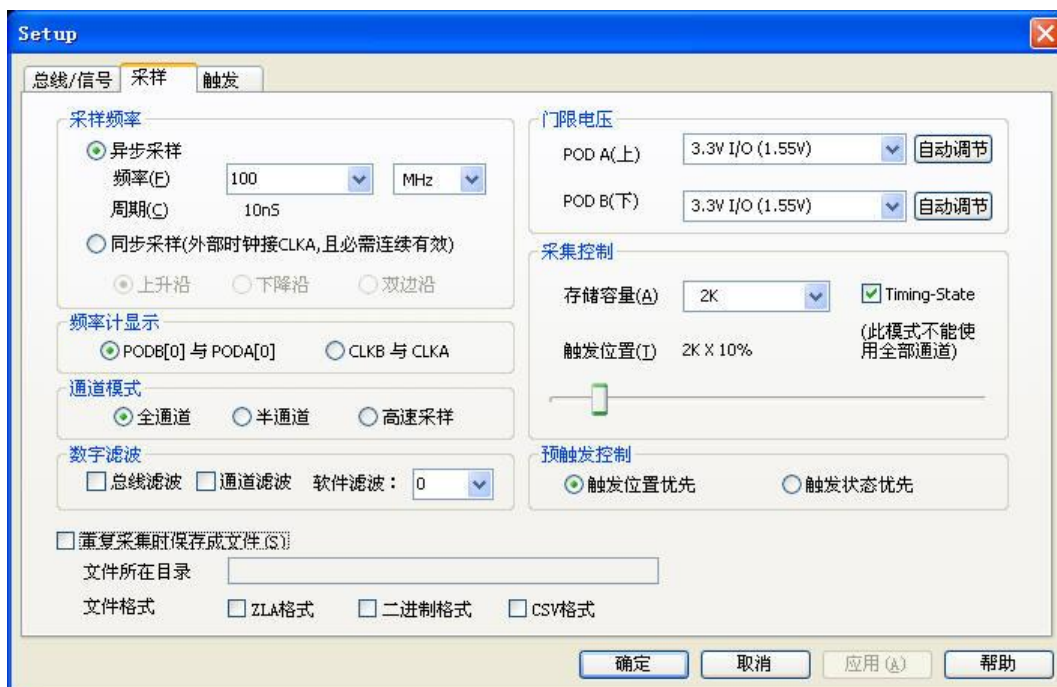



图 3.30 更改存储容量

- (5) 点击工具栏中 （单次启动）按钮，进行 LED 信号的单独测量。逻辑分析仪的测量结果如图 3.31 所示。这次可以看见 LED 流水灯操作的完整波形了，因为 LED 是共阳连接，所以当逻辑分析仪测量结果为 0 时 LED 亮。

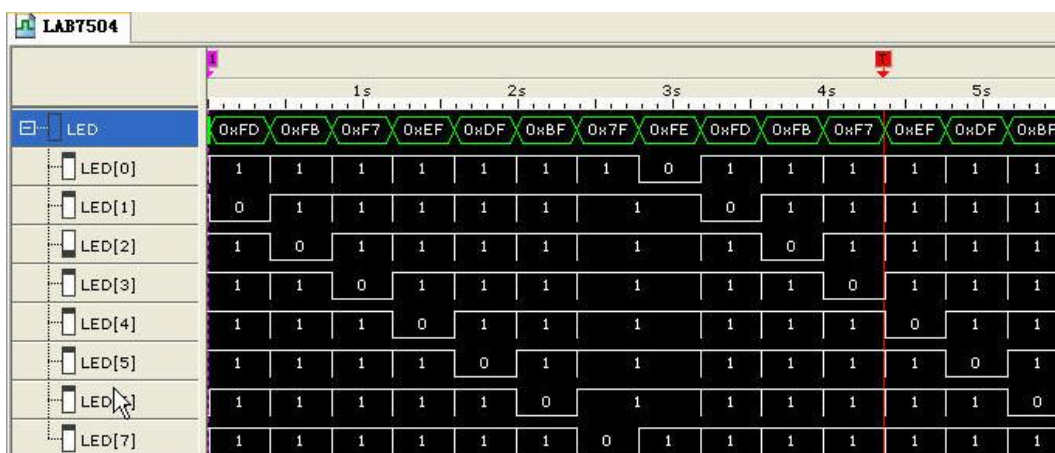


图 3.31 LED 测量结果

- (6) 在图 3.32 中发现每次数据稳定前都有一些毛刺变化，把鼠标移到波形变化的地方，按下键盘【Ctrl】按键，时点击鼠标左键为放大，点击鼠标右键为缩小。

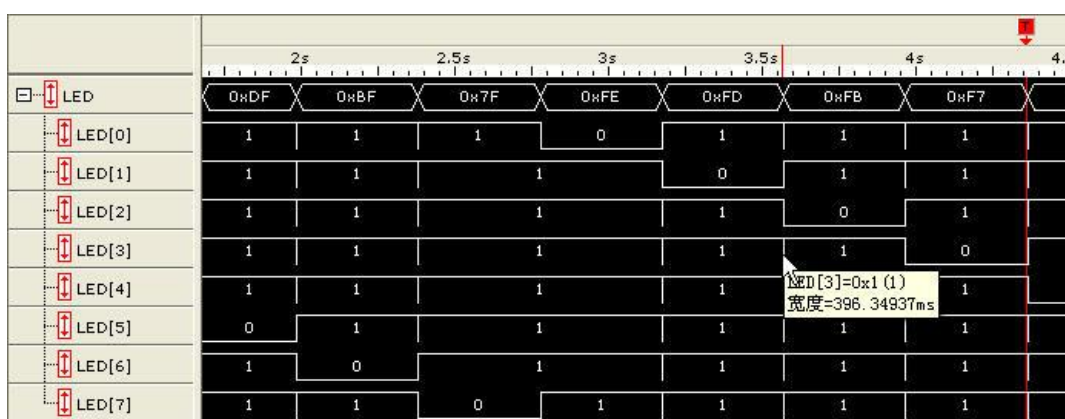


图 3.32 鼠标缩放查看结果

- (7) 连续点击鼠标左键对变化部分进行放大，如图 3.33 所示。从测量波形中可以看见 74HC164 的移位输出过程，把鼠标指向其中一个低电平上，自动提示低电平时间为 4.82us，这是用肉眼观察不到的速度了，所以只能看见 LED 在不断的移动而看不见瞬间移位的过程，使用逻辑分析仪就可以把该过程看得清清楚楚了。

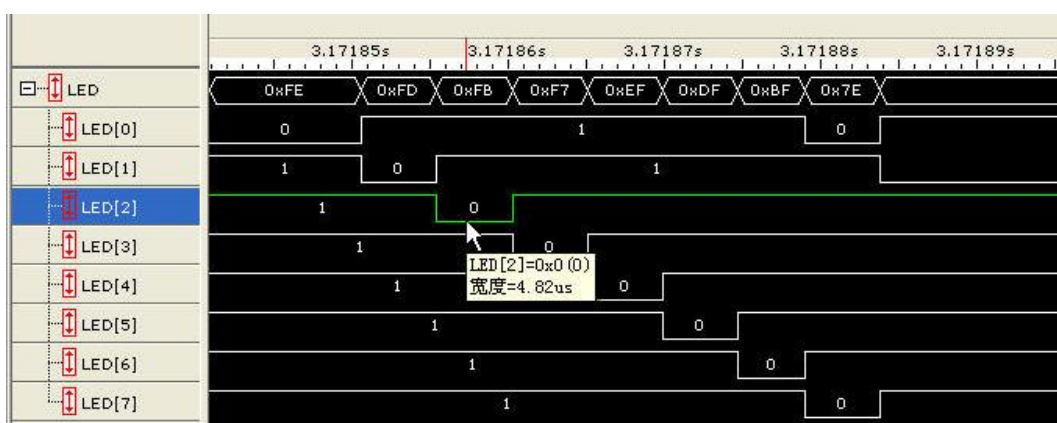


图 3.33 放大查看 74HC164 移位波形

3.3.3 SPI 测量

完成测量 74HC164 的输出，接下来对 74HC164 的输入进行测量。观察 74HC164 的输入与输出的关系。74HC164 是串行移位芯片，并不是标准的 SPI 接口芯片，为了便于观察，驱动 LED 的 74HC164 是单片机使用模拟 SPI 接口进行控制。将 P89LPC913 的 P2.5 作为 SPI 的 CLK（时钟信号），P2.3 作为 SPI 的 DAT0（数据输出信号），当时钟信号为上升沿时传输数据。P0.6 作为 SPI 输出的 CS（片选信号），当 CS 为低时表示正在传输 SPI 数据，测试步骤如下。

- (1) 逻辑分析仪 PODA 的 DATA1、DATA2、DATA3 分别连接到 LogicDemo 板上的 CH1~CH3，将逻辑分析仪地线连接 LogicDemo 板的地线。上。点击菜单中的【设置】→【总线/信号】，添加总线 CS、CLK、DATO，如图 3.34 所示，点击【确定】按钮。

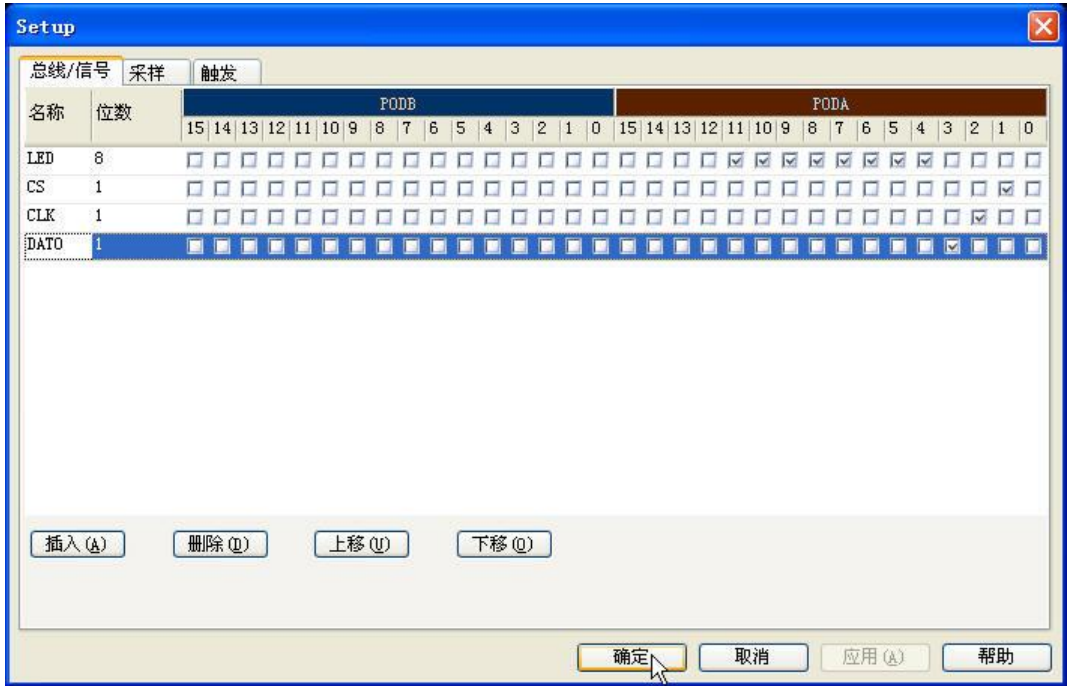




图 3.34 添加 SPI 总线

- (2) 点击工具栏中 （单次启动）按钮，进行 SPI 输入与 LED 信号关系的测量。测量结束后，点击工具栏中 （缩小到全屏）按钮观察到全部测量结果，如图 3.35 所示。

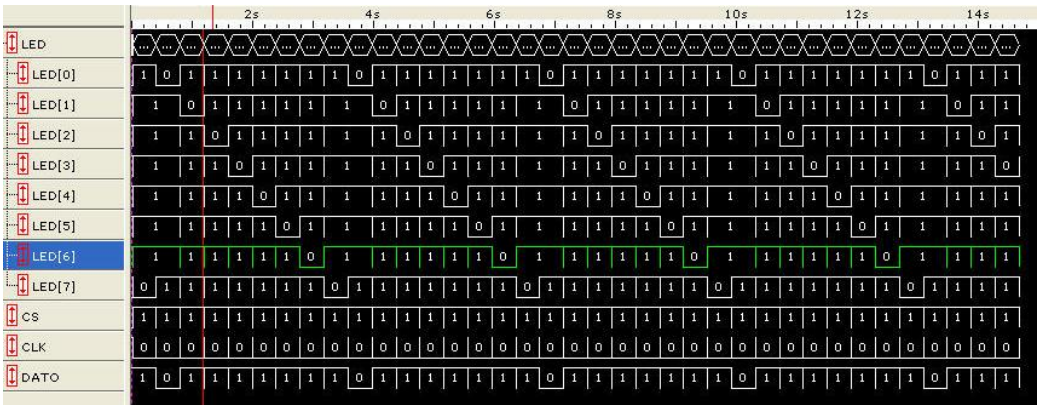


图 3.35 全屏查看 SPI 传输测量结果

(3) 选择 LED 从 0xFE 到 0xFD 变化之间进行放大，观察 SPI 传输与 LED 的关系，如图 3.36 所示。从测量结果可以得出，在 CLK 的上升沿后芯片把 DATO 数据更新到 LED 上。

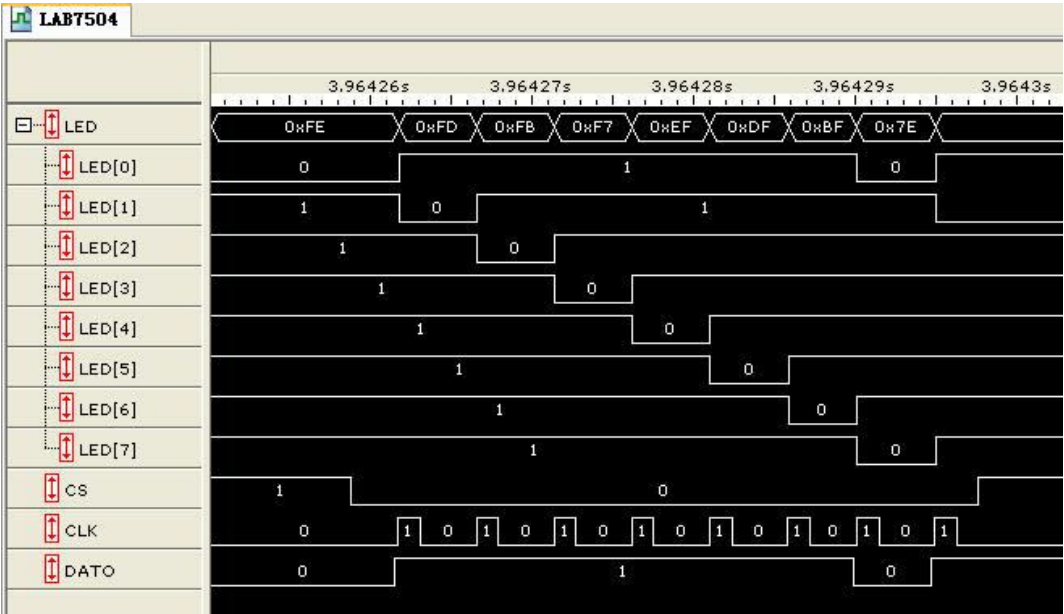


图 3.36 放大查看 SPI 传输测量结果

3.3.4 SPI 总线分析

对于 SPI 接口传输的波形，有没有办法能够快速验证数据传输和实际输出是否相符？传统的办法是根据 CLK 信号的上升沿一位一位来分辨出传输数据。但致远逻辑分析仪就提供了一个快速且有效的手段——插件总线分析功能，测量步骤如下。

(1) 选择菜单栏中【工具】→【插件管理器】，弹出插件对话框，如图 3.37 所示。



图 3.37 插件管理器

- (2) 选择【SPI 总线分析】，点击【设置】按钮，逻辑分析仪软件弹出 SPI 设置对话框。对 SPI 总线分析的设置如下：时钟总线选择 CLK，片选选择 CS，字节传输方式选择高位在前，数据帧位数选择 8，模式选择 CPOL=0 CPHA=0，MOSI 总线不使用，MISO 总线数据选择 DATO，其他使用默认设置，如图 3.38 所示。



图 3.38 设置 SPI 参数

- (3) 选择【确定】后，回到插件管理器选择【确定】。这时在 DATO 总线上会多出一个 OUT 名称的总线如图 3.39 所示。OUT 总线是 SPI 的总线分析结果，SPI 分析结果为 0xFD，与 74HC164 传输结束结果一致。

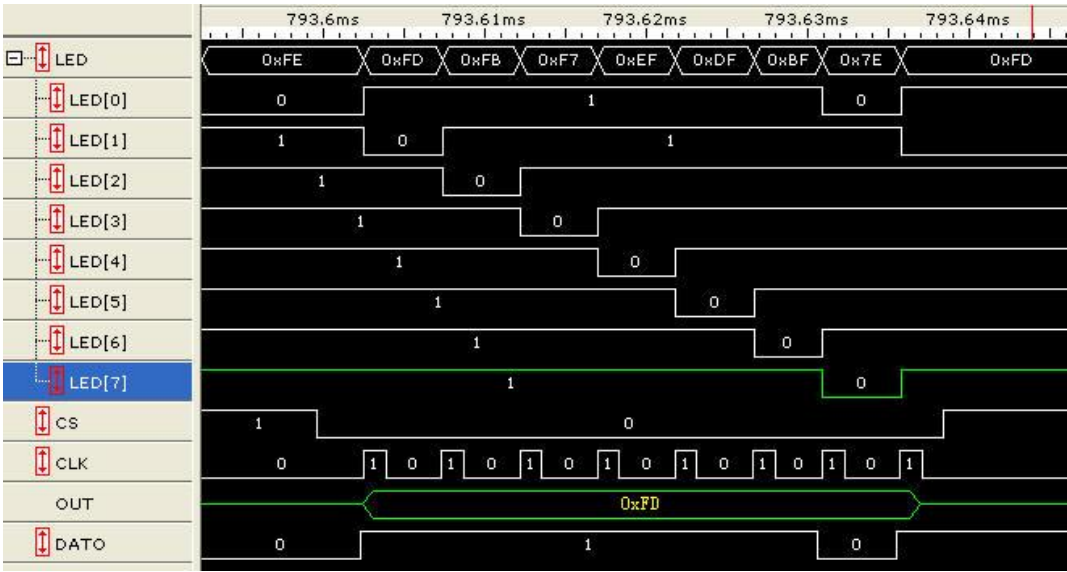


图 3.39 SPI 分析结果

3.3.5 SPI 触发设置

通过设置合适的触发方式，可以捕捉到实际要观测的波形。在 SPI 测量中，可以设置为简单的触发（如上升沿触发），也可以设置为 SPI 插件触发。测量步骤如下。

1. 上升沿触发

- (1) 点击菜单栏【设置】→【触发】来进行设置触发条件。如需要 SPI 传输完数据才开始触发，可以选择上降沿触发，使用 CS 的上升沿来作为触发条件，如图 3.40 所示。



图 3.40 上升沿触发设置

- (2) 点击【确定】按钮，再点击工具栏中 （单次启动）按钮，测量结果如图 3.41 所示。

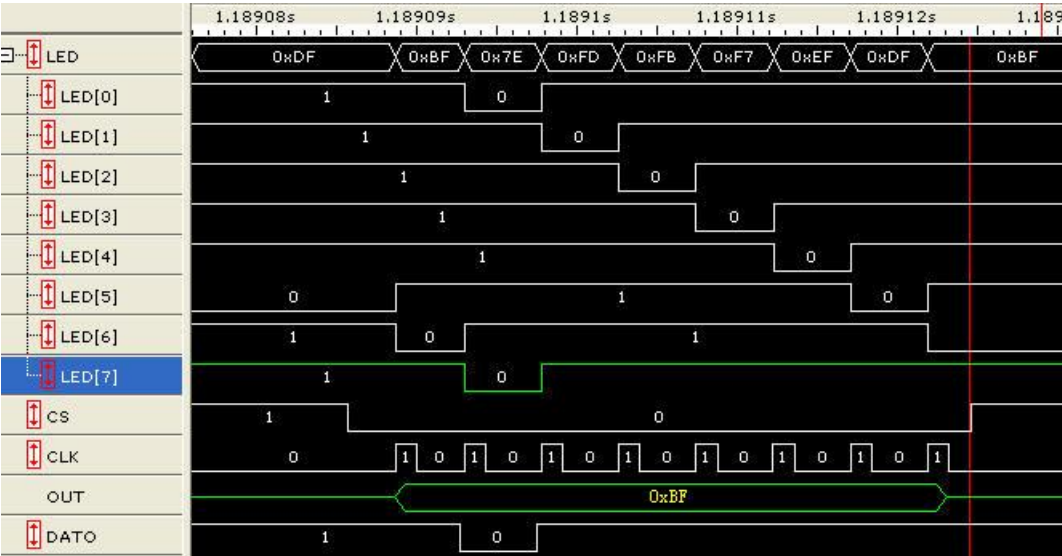



图 3.41 上升沿触发结果

其中标志及其下方的红线表示触发点位置，触发点为 CS 的上升沿，与设置相符。因为致远逻辑分析仪具有触发位置设置功能，而触发位置采用默认设置（10%），所以可以观测到部分触发前信号。

2. SPI 插件触发

在中设置的触发条件为 CS 上升沿，SPI 传输数据时需要对 CS、CLK、DATO 进行大量的操作，使用常用的触发方式是远远不能满足这么复杂的步骤的要求了，那能否直接把特定的总线数据作为触发条件进行触发呢？

- (1) 点击菜单栏【设置】→【触发】设置触发条件。选择插件相关中的 SPI 总线分析，在特定数据输入框中输入 0xFE，如图 3.42 所示。



图 3.42 SPI 插件触发设置

- (2) 点击【确定】按钮。点击工具栏中（单次启动）按钮，测量结果如图 3.43 所示。
当 SPI 传输完成 0xFE 时，逻辑分析仪触发采集了，完全符合预定的触发要求。

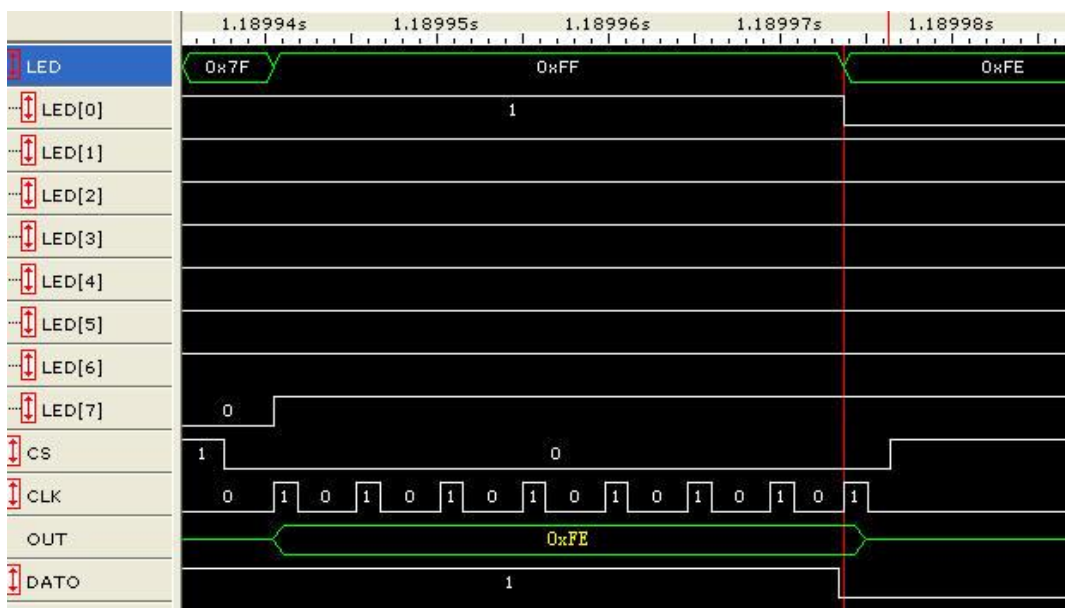


图 3.43 SPI 插件触发结果

3.4 逻辑分析仪使用注意事项

3.4.1 确保接地良好

在逻辑分析仪的使用过程中，可能会出现采集不到数据或者采集到错误数据的情况，这时必须先确保逻辑分析仪地线与被测系统地线已连接并且接触良好。如图 3.44 所示，该客户采用 1MHz 的采样频率去采集信号，却有很多脉宽为 1us 的毛刺，原因是他没有将逻辑分析仪的地线与被测系统地线连接。

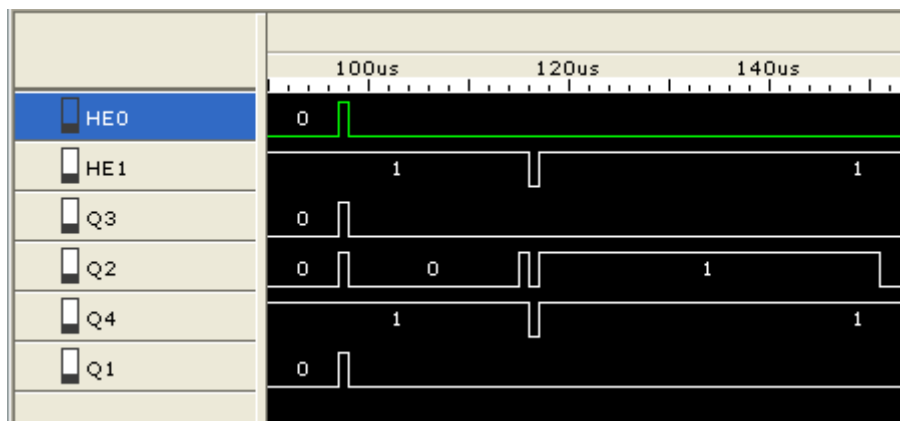


图 3.44 逻辑分析仪地线未接采集到毛刺

所以，为了准确可靠地探测信号，良好地接地是必要的。对于逻辑分析仪探头，接地可以通过长地线接地，也可以通过每个探头上的短地线（LA 系列逻辑分析仪没有）接地。长地线接地可以节省板上的空间，方便探头的连接，但对于高速信号，由于长地线上的寄生电感较大，会影响测试的信号质量。在高速信号测量中，建议通过每个探头上的单独的短地线接地，以获得更好的测量结果。

3.4.2 合理设置采样频率

采样频率的设置直接关系到信号测量精度和采样时间。如果采样频率设置得过低，则影响了信号测量精度；如果采样频率设置得过高，则增加了捕捉毛刺的概率，降低了采样时间，观测不到想要的波形。

所以采样频率要合理设置，一般为被测信号最大变化率的 3 倍以上，最好 5~10 倍。

3.4.3 合理设置触发方式

触发的作用是把用户的目光聚焦到特定的地方，如干扰、控制异常、传输错误等。逻辑分析仪从触发点开始记录用户关心的数据，因为逻辑分析仪的存储容量有限，而测量的数据又源源不断，所以逻辑分析仪只能根据需要来把某个时刻电路的工作状态记录下来。能否准确的设置触发点是能否准确的找到异常的关键。

如图 3.45 所示，由于没有合理地设置触发方式，导致逻辑分析仪浪费了存储容量采集 1s 的无用信号。假如逻辑分析仪的采样时间只有 1s 左右，就无法观测到实际需要的波形。

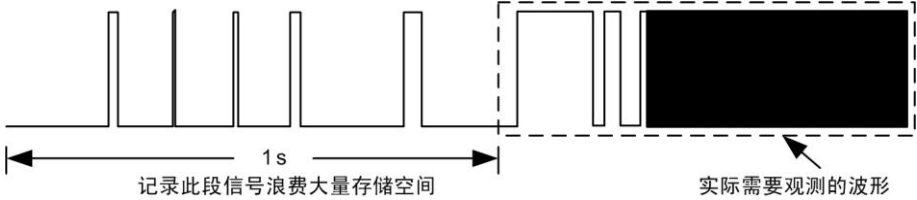


图 3.45 触发方式设置不合理

在的波形中有个明显的特征，即实际需要观测的波形的前面有个脉宽比较大的波形。抓住这个特征，将触发方式设置为数据宽度触发如图 3.46 所示，使逻辑分析仪从实际需要观测的波形开始记录。

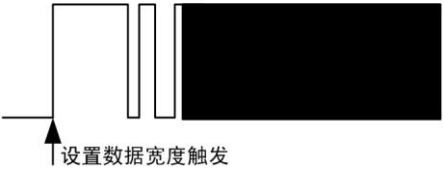


图 3.46 合理设置触发方式

3.4.4 合理设置门限电压

门限电压被测信号是“0”还是“1”的界限。如果门限电压调得过高，如图 3.47 所示逻辑分析仪就会将原来为“1”的信号判断成“0”；如果门限电压调得过低，如图 3.48 所示逻辑分析仪就会将原来为“0”的信号判断成“1”。只有合理地设置门限电压，才能使逻辑分析仪不发生误判。用户可以通过示波器观测信号来设置合适的门限电压值，也可以通过逻辑分析仪的自动调节按钮进行设置。

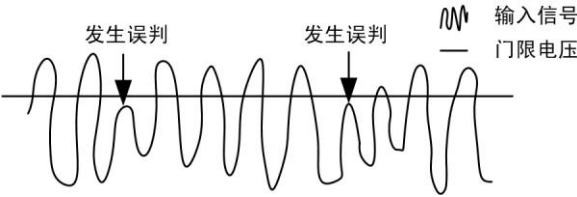


图 3.47 门限电压设置过高

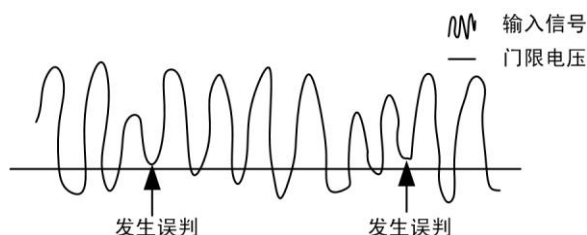


图 3.48 门限电压设置过低

3.4.5 使用 Timing-State 模式

在使用 Timing-State 模式时，至少要留一根测量线用于存储，所以最多只能使用 31 个通道。理论上采用 Timing-State 模式时，逻辑分析仪的采样频率对采样时间没有影响，但实际上由于较高的采样频率增加了毛刺的捕捉概率，从而增加了被测信号的变化率，最终导致采样时间的缩短。所以要合理地设置采样频率。

3.4.6 差分信号测量

逻辑分析仪只能测量单端信号，如果要测量差分信号（如 CAN 总线信号、RS485 总线信号），有两种测量方式。下面以测量 CAN 总线信号进行说明。

第一种测量方式，将逻辑分析仪的地线接系统地，其中一通道接 CAN_L（CAN_H），然后设置逻辑分析的门限电压为 2V（3V）左右就可以。

第二种测量方式，将逻辑分析仪的地线接 CAN_H，测量通道接 CAN_L，如图 3.49 所示。在这种方式中要特别注意，被测系统的地与 CAN 隔离模块的地本来是隔离的，但 CAN_H 接了逻辑分析仪的地线，而逻辑分析仪与被测系统的 USB 线接的是同一台 PC 机，则将 CAN_H 与被测系统的地短接了起来，所以必须要做好隔离。这时可以用一台装了逻辑分析仪软件的笔记本电脑进行测量，而且电脑不能接外置电源以保证隔离效果。

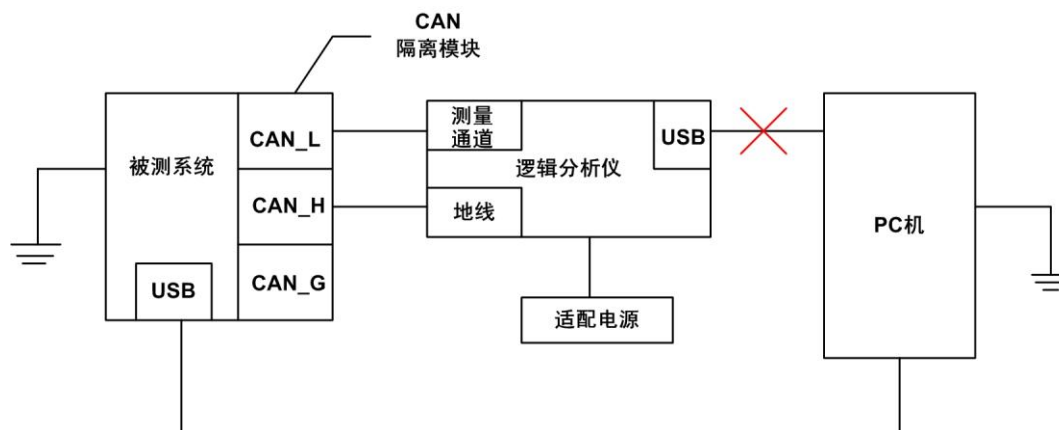


图 3.49 如何做好系统隔离

第4章 逻辑分析仪的应用

4.1 逻辑分析仪队列触发的应用

逻辑分析仪队列触发的应用，可以从数字通信、工业自动化系统两大领域进行讲解。

4.1.1 队列触发在数字通信系统的应用

逻辑分析仪的队列触发功能在数字通信系统领域应用得最为广泛。按照数字信号码元排列方法不同，数字通信方式可分为串行传输和并行传输。下面将分别介绍逻辑分析仪队列触发在并行与串行数字通信系统中的应用。

1. 队列触发在并行通信中的应用

下面以 8051 处理器通过总线与片外 RAM 交换数据的过程，介绍逻辑分析仪队列触发在并行通信中的应用。

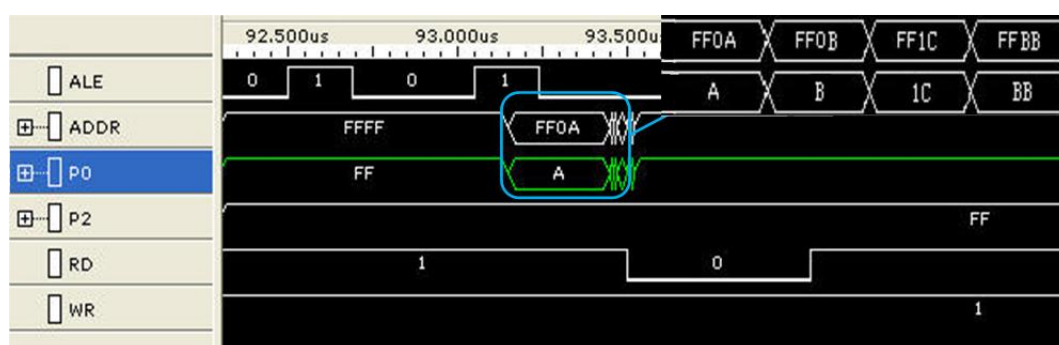


图 4.1 处理器 8051 与片外 RAM 的时序图

如图 4.1 所示，是 8051 处理器访问片外 RAM 的读写时序示例图。访问地址依次是 FF0A、FF0B、FF1C 和 FFBB（十六进制）。对这一连串地址进行访问操作，代表着处理器的一种控制功能，这跟编写的程序相关，由用户来决定。调试程序的时候只要把相应的访问地址队列设置成触发队列，就可以通过逻辑分析仪触发截获到程序运行此指令队列时同步的时序，进而观察 8051 各个控制端口的同步变化。

2. 队列触发在串行通信中的应用

逻辑分析仪对 UART、SPI、I²C 等串行协议的分析解码，在通信应用领域中，占据重要地位。串行通信的数据传送速率要比并行通信快得多，例如高速 SPI 串行 Flash 器件，其传输速率可以高达 200Mbps。高速率的串行通信设备，一般兼容低速模式，数据的通讯往往是先用低速模式进行握手，之后再切换到高速模式，如图 4.2 所示为一高低速模式切换的通信时序示意图。

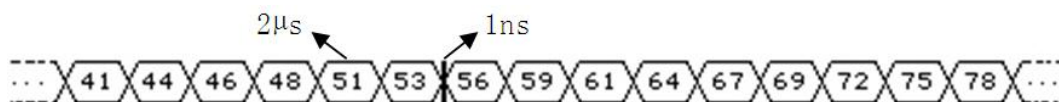


图 4.2 低速与高速混合信号传输示例

逻辑分析仪测量捕捉这种可变速率的数据流，一直以来都是个相当棘手的问题。

- (1) 难点一：在逻辑分析仪存储深度有限的情况下，一般来说，要采集大量的低频数据，得先把采样频率降低，但这样就导致高速的数据采集不到而丢失；如果把采样频率提

- 高了，则会导致所能采集数据量大大减少。
- (2) 难点二：假设低频率的数据量比高频率的数据量大得多，也就是说高频数据出现的概率很少，如果没有高速的队列触发功能，高频的数据的捕捉十分困难。

致远 LAB 系列逻辑分析仪使用高速队列触发功能和独有的 Time-State 技术相结合，能够保持采样频率以最高的速度进行采样，不但可以准确捕捉高速数据流，还同时可以保持最大的存储容量。如图 4.3 所示测量 FPGA 与 100MHz 高速 SPI Flash 通信过程的时序，下面以此为例，介绍如何通过逻辑分析仪队列触发功能，解决大量的多速率串行通信数据流分析的问题。

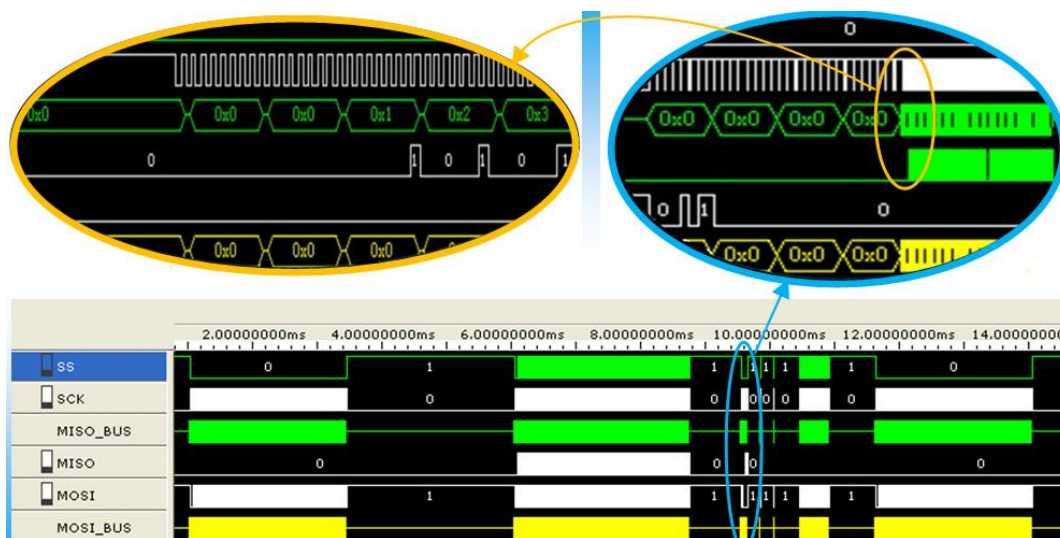


图 4.3 FPGA 与主速 SPI Flash 通信时序图

FPGA 对 SPI Flash 操作时钟不是恒定的，写入与擦除的时候速度比较慢，传输时钟频率介于 500KHz 到 1MHz 左右，而读取数据时速度则快得多，在快读模式下达到 100MHz。快读操作的时间非常短，调试时问题往往出现在高速通讯模式下，即要捕捉这段短暂的高速数据流的时候。如中的放大显示部分就是 SPI Flash 通信的快读模式，可以看到低频数据段与高速数据段分隔十分明显。图中着重标记“0x00000102”是 Flash 向 FPGA 反馈的应答信号，它是 100MHz 高速数据流。逻辑分析仪采集数据时只要把 0x00000102 作为触发条件即可。

随着电子测量技术的发展，测量仪器领域对逻辑分析仪的队列触发功能，提出一个新的要求与挑战——实现协议数据帧的队列触发。所谓协议数据帧，就是经过插件解码后的数据组合成一个触发数据队列。如图 4.4 所示，是 I²C 的解码图，解出来的数据包依次是 0xF0, 0x00, 0x01, 0x02, 0x03, …，把这些数据组合在一起，就成了数据帧。据调查，迄今为止，业界还没有哪个逻辑分析仪拥有协议数据帧队列触发的功能。但在不久的将来，类似的高级队列触发将会出现。



图 4.4 I²C 数据解码

4.1.2 队列触发在工业自动化领域的应用

在工业自动化领域的混合信号传输系统中，涉及到很多数据队列检测的问题，通过使用逻辑分析仪的触发功能捕捉变化数据流，有时候会给调试带来不少的便利。

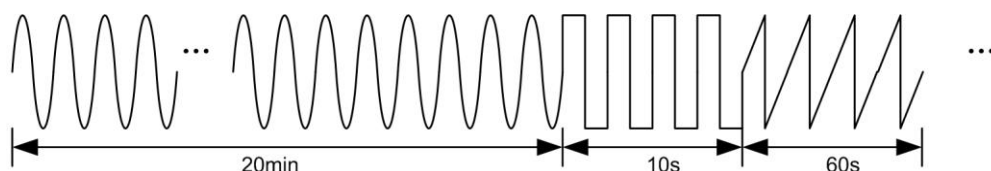


图 4.5 生产流水线系统的控制信号

如图 4.5 所示，是用于控制工厂生产流水线系统的混合信号，通常由 DAC 直接产生。一般来说，正弦波是平稳工作时输出信号，时间相对会比较长，从数分钟到半小时左右不等，方波常用于自检测硬件，锯齿波常用作电机速度调节的信号，信号变化时间，是工业中比较典型的值。生产线出现不稳定时，最容易出现问题的地方，往往就用锯齿波对电机速度进行变换的那一瞬那，所以捕捉到信号向锯齿波切换的那一段波形进行分析，将是解决问题的关键所在。

如果只是使用示波器，不难想象，是无法设置锯齿波区别于正弦波的触发条件。那么如何定位锯齿波信号呢？我们可以换个角度去思考，虽然不能通过模拟波形信号的方式设置触发条件，但是可以从产生模拟信号的 DAC 数据端入手，正弦波与锯齿波的 DAC 前端数据流有着明显区别。而对于检测维修系统的工程师来说，系统的运行时序和 DAC 输出数据流变化，都会了解得比较清楚。这样工程师就可以通过逻辑分析仪的队列触发功能，找出锯齿波的位置。可参考如下操作方法步骤：

- (1) 生产流水线系统电路控制主板的 DAC 数据端引出，接到逻辑分析仪的探头；
- (2) 用户根据自己产生的锯齿波数据流的特征设置触发条件，如“254-255-0-1-2”或其它条件作为的队列触发的条件；
- (3) 运行逻辑分析仪，等待触发；
- (4) 触发采集完成，观察数据。

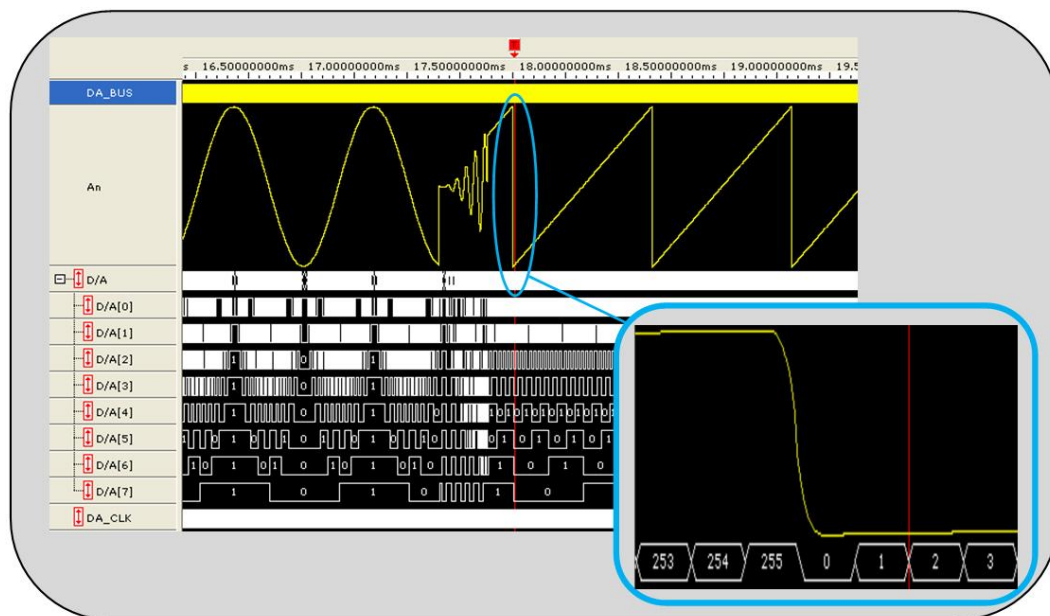


图 4.6 队列触发方式在生产流水线系统模型的数据流

如图 4.6 所示，是逻辑分析仪通过队列触发方式采样生产流水线系统控制信号的模型图，图中，D/A 表示采集回来的队列数据，通过逻辑分析仪独有的 A/D 插件分析功能，可以把数据还原以模拟波形的方式显示。由逻辑分析仪采样回来的结果可知，在正弦波与锯齿波转换的瞬间，信号产生了短暂的振荡。

4.2 逻辑分析仪数据延迟触发的应用

面对有些可重复出现的信号，而我们对其内部信号又不是很了解，需要全部采集下来进行分析的时候，可以使用数据延迟触发功能，多次重复一定延时进行采集，实现分段采样。

4.2.1 原理分析

如图 4.7 所示，我们所要采集的数据，它包含若干个“Bus Data”块，并且它可以重复出现。第一次采集数据，以“Reset”为触发起始数据，不采用延迟。第二次以“Reset”为触发起始，延迟了一定时间而采集数据，一直继续下去，直到得到我们需要的所有数据。



图 4.7 分段采样

4.2.2 测试步骤

下面我们将进行硬件实际的测试。

- (1) 首先用测试板产生一个 8bit 的 Bus_X 与 1bit 的 Ctrl，然后将逻辑分析仪的 DATA0~7 连至 Bus_X[0:7]上，将 DATA8 连至 Ctrl 上。为了比较容易看出延迟的效果，令 Bus_X 产生一个缓慢递增的 8 位数据，Ctrl 产生快速跳变的周期信号。
- (2) 点击逻辑分析仪软件菜单栏【设置】→【采样】，在弹出的对话框中进行如下设置：采样频率设置为异步采样，频率为 500MHz，存储容量选择 16M，将触发位置设置为 25%。在采集控制里面勾选【Timing-State】选项，在【预触发控制】中选中【触发状态优先】，其它选项不做修改，如图 4.8 所示。



图 4.8 设置采样

1. 第一次采集

点击逻辑分析仪软件【设置】→【触发】，单击“数据到来延时”，将总线名称选择为之前命名的控制信号“Ctrl”，数据设置为“0x00”，表示下降沿触发。将“Delay Time”设为 0us，表示第一次触发不需要延时立即触发，设置如图 4.9 所示。

数据到来延时

当选择的总线遇到输入的值再经过所输入的时间后开始触发。

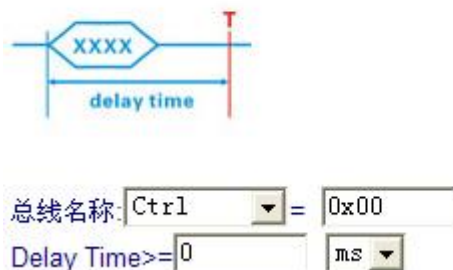


图 4.9 设置数据到来延迟 0ms 触发

- (3) 点击逻辑分析仪【启动】按键，然后启动测试板。观察逻辑分析采集到的数据，如图 4.10 所示。可以看出逻辑分析仪记录了约 530ms 的数据，其中对我们有用的数据大概记录了 310ms。（去除了逻辑分析仪启动到测试系统启动之间的无用数据，它是测试板在启动之前的初始状态）。可以看出，使用【Timing-State】模式，比普通模式下 33.55ms 的记录时间增加了 9 倍之多。
- (4) 将鼠标移至触发点，放置“M2”标尺，使之与触发点重合。然后将鼠标移至数据的结尾处，在倒数第三个有效数据处放置“M1”标尺，软件自动在左下角显示(M1-M2)的相对时间，为 256.24506ms。



图 4.10 无延迟时触发结果

2. 第二次采集

在进行第二次采集中点击逻辑分析仪软件【设置】→【触发】，选择“数据到来延时”，这次将“Delay Time”由原来的 0ms 修改为 256.24506ms，表示在第一次触发的基础上延迟 256.24506ms 触发。

点击逻辑分析仪【启动】按键，然后启动测试板。观察逻辑分析采集到的数据。如图 4.11 所示。



图 4.11 有延迟时触发结果

对比观察可以发现中触发点“T”的位置与中“M1”的位置重合了，实现了数据的无缝对接。这说明我们硬件测试达到了预期的效果，可以使用数据延迟触发来捕获更长时间的有用数据。

4.3 逻辑分析仪插件触发的应用

我们可以使用协议插件分析进行数据分析，降低工作难度，但能否使用数据分析结果来作为逻辑分析仪的触发条件？答案是肯定的，高级逻辑分析仪不但拥有边沿触发、数字触发、时间判断等触发方式，还可以使用插件触发对分析的结果进行直接的数据触发。致远逻辑分析仪针对特定协议（如 SPI、I²C、UART、SSI、1-wire、LIN 总线等）提供了插件触发功能。下面就以 SPI 协议为例来进行说明。

在高速 SPI Flash 的应用中，为了提高 SPI 的数据读取速度，通常高速 SPI Flash 都提供的速度切换的机制，可以控制 SPI Flash 适应外部时钟有低速向高速切换，但通常在由于进行速度上的改变，速度切换的地方也是最容易出错。如图 4.12 所示，主机发出 Fast_Read (0xB) 命令后，把 SPI 时钟调整为 66MHz 进行高速读取。通过放大显示可以查看到快速读取的数据，使用插件触发可以方便对协议分析后的数据进行触发定位。

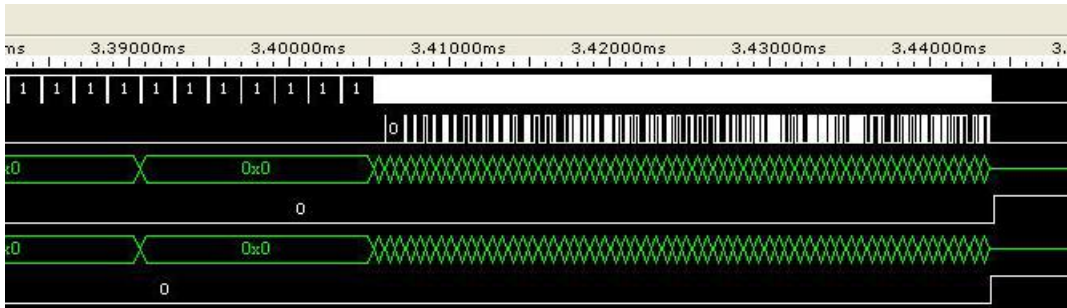


图 4.12 Fast_Read 模式数据

4.4 逻辑分析仪外部触发的应用

逻辑分析仪的触发器可分为内部触发器和外部触发器，内部触发器由仪器内部触发电路实现完成，触发功能越强大也代表着逻辑分析仪的性能越卓越。外部触发是逻辑分析仪输出到外面的一个信号，它通常被用于两种测试工具的同步测试当中，例如配合示波器同时对数字、模拟信号进行采样分析。

4.4.1 触发输出在电路调试中的应用

逻辑分析仪的外部触发输出（Trig Out）常用于触发示波器做同步测量。这里以一个 DDS 信号发生器的调试为例，介绍触发输出的应用。

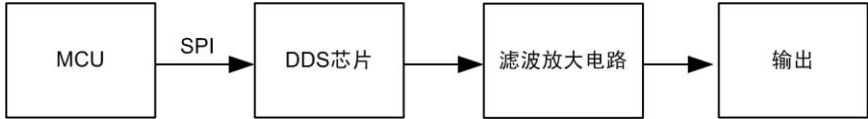


图 4.13 DDS 信号发生器系统框图

系统框图如图 4.13 所示，信号由 MCU 通过 SPI 通讯方式控制 DDS 芯片经过滤波放大后输出。调试电路时，可以使用逻辑分析仪和示波器分别对数字和模拟信号进行分析，但是很难做到同步分析。假如对信号的要求很高，必须分析信号变换时的波形、频率、相位等特性时，单靠示波器是很难捕捉到这一变换瞬间的。我们知道，MCU 发送命令给 DDS 芯片后，输出信号

会立即做出改变，因此可以把 MCU 发送的 SPI 命令作为逻辑分析仪的触发条件，当逻辑分析仪触发时将输出触发信号来同步示波器触发，达到信号同步捕捉的目的。

如图 4.14 所示为正弦波变换为方波时逻辑分析仪和示波器所抓到的波形,DDS 芯片的指令格式为 3 个 16 位的 SPI 数据，由 DDS 的数据手册可查知产生方波的控制指令为“0x2028”，因此，在逻辑分析仪中我们使用 SPI 协议触发，并设置 SPI 触发条件为“MOSI=0x2028”时触发。这样当信号由其它波形变换为方波时，逻辑分析仪就会触发并开始采样存储，同时输出触发信号控制示波器同步采样。

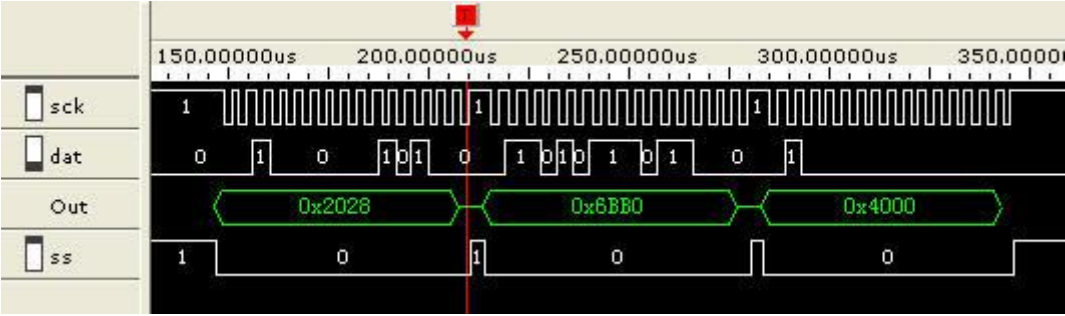


图 4.14 逻辑分析仪捕捉的 SPI 指令

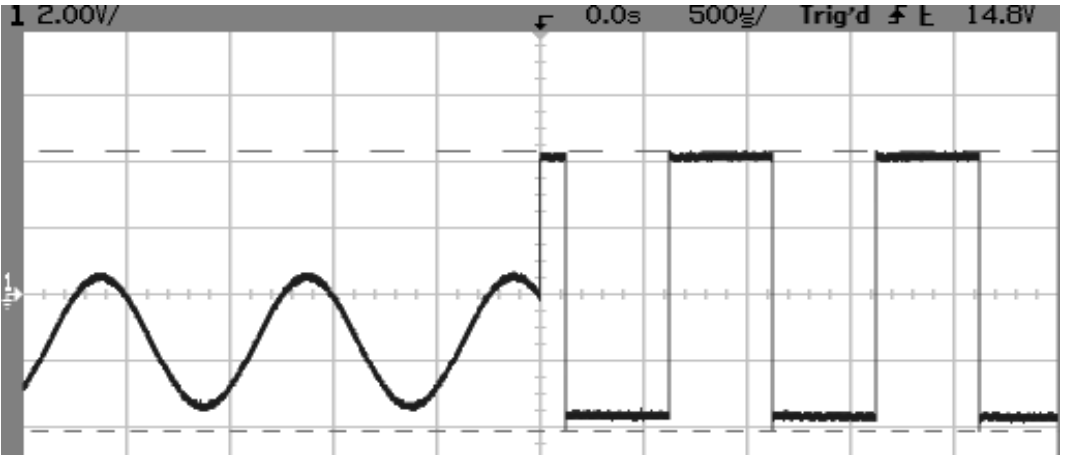


图 4.15 示波器捕捉的信号

从图 4.15 中可以看出当发送方波转换指令时，输出信号能够马上变化，说明调理电路的信号跃特性很好，但是由于幅值不一致也说明幅频特性不好。其它的波形、频率、相位转换过程也可以通过上面的方式进行采样分析，如图 4.16 所示为方波转三角波的信号跃波形图，从图中可以看出方波转三角波时信号有一定的震荡，经过一定时间后才稳定，说明电路还存在严重的问题，如果不采用外部触发同步采样的方式该问题是难以发现的，有可能给产品带来安全隐患。

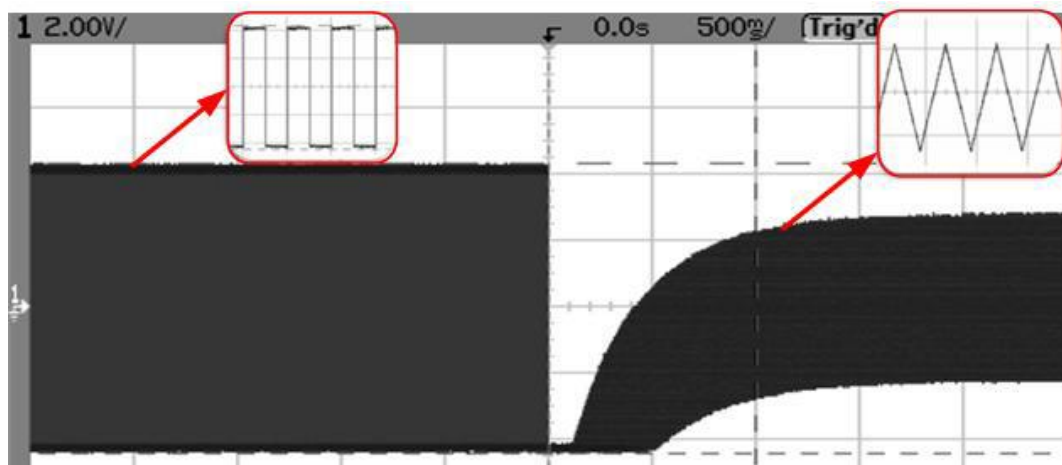


图 4.16 方波转三角波波形图

类似的信号转换过程是单独使用示波器难以捕捉的，而且往往也是问题的关键所在，因此逻辑分析仪的外部触发输出配合示波器做同步测量具有重大的作用。

4.4.2 触发输入在电路调试中的应用

逻辑分析仪的外部触发输入（Ext Trig）也是用于同其它仪器做同步测量。这里以一个信号采集模块的信号采集与分析为例作介绍。

如图 4.17 所示为示波器采集到的被测信号，信号经过调理后通过 A/D 采样并转换为数字信号，这时可以使用逻辑分析仪对 A/D 采样到的数据进行状态采集，以便分析输入信号与被采样的数据之间的对应关系。为了使逻辑分析仪采样到的信号能与示波器的信号同步显示，必须使用外部触发，将示波器的触发输出与逻辑分析仪的触发输入相连接，同时将逻辑分析仪的触发条件设置为外部触发。

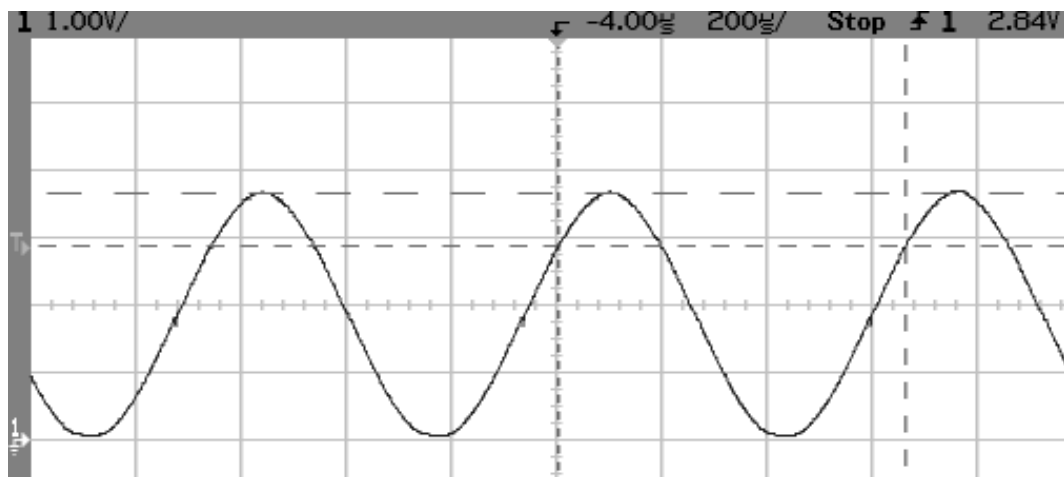


图 4.17 示波器采集的信号

如图 4.18 所示为逻辑分析采样回来的数据，配合利用逻辑分析仪强大的插件分析功能（如广州致远电子有限公司的 A/D 插件分析功能）可以将采样波形数据复原，由于使用外部触发，两仪器采样到的波形数据触发相位点也是一致的，所以方便对比分析，采样到的数据是否正确一目了然。

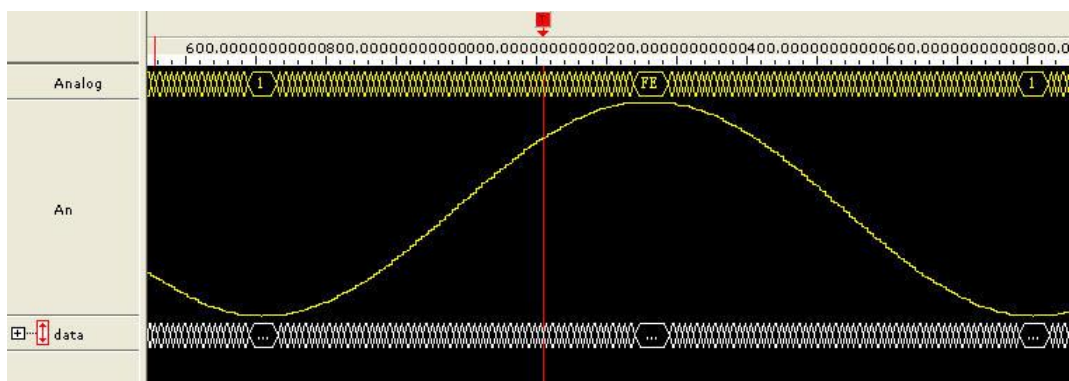


图 4.18 逻辑分析仪采集的数据

4.4.3 其它应用

逻辑分析仪的外部触发除了上述的应用之外，还有很多其它的应用，例如可以实现逻辑分析仪的堆叠级联，扩充测量通道；作为用户系统触发启动的控制信号或者是作为用户系统控制采样记录数据的条件等等。在触发分析方面也可以根据电路的特性（如 I2C、UART 等）选择相应的插件触发，应用非常广泛。

4.5 逻辑分析仪在数据采集开发系统中的应用

在现代生产过程中，有许多重要的物理量和参数需要随时进行跟踪和检测，以便了解系统运行的状况，及时进行判断和调整。这些物理量和参数包括温度、压力、流量、位置、速度和磁场强度等。数据采集系统是对由各种传感器产生的或所需测量和处理的信号进行获取、调理、数字化、分析、存储和显示的一个完整信号处理链路。为了达到控制的目的，有时还需要把经过处理的数字信号转换成模拟信号，用于控制和调整系统的运行状态。在数据采集与控制链路中，需要对模拟量和数字量进行相互转换，其中 ADC 和 DAC 芯片扮演了重要的角色。随着半导体技术的发展，高速、高精度的 ADC、DAC 芯片型号繁多，功能复杂，时序要求严格，调试的难度也不断增大。致远逻辑分析仪结合 A/D 转换分析插件对数据采集系统中的模拟量与数字量相互转换部分进行调试，降低调试难度，缩短产品开发时间。

下面以 DAC0832 为例，详细讲解 A/D 转换分析插件的应用和测试结果。DAC0832 是采用 CMOS 工艺制成的单片直流输出型 8 位数/模转换器。通过逻辑分析仪采集数字值和时钟信号，结合时钟信号分析数字值，得到对应的模拟值，根据这些模拟值用光滑的曲线描绘模拟量的波形图，并与示波器观察到的 DAC0832 的输出作比较，具体步骤如下。

- (1) 把 DAC0832 的数字量输入引脚 DI0~DI7 依次接到逻辑分析仪的 PODB0~PODB7，控制时钟信号连接到 PODB8，并命名总线和信号的名称，然后连接逻辑分析仪地线 GND。总线/信号的设置如图 4.19 所示。



图 4.19 设置总线/信号

- (2) 设置 A/D 插件，注意 A/D 插件默认 Enable(使能)为 always，根据芯片具体的工作方式，分别可选择在某信号的高电平、低电平、上升沿或下降沿有效。在本例中，选中 Enable 的下拉框，把 always 改为时钟信号 DA_CLK，并把 DA_CLK 设为高电平有效，具体

如图 4.20 所示。

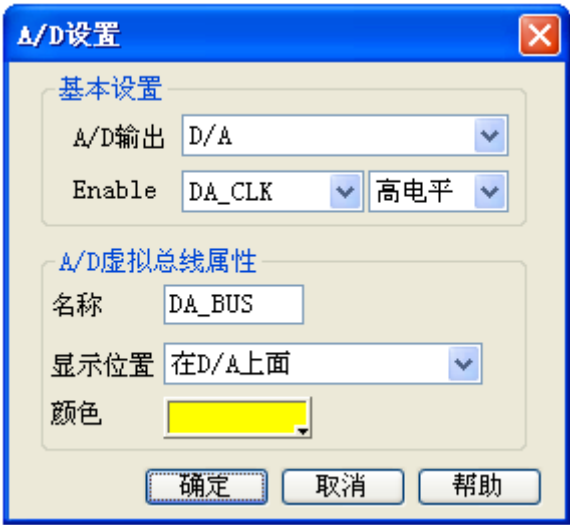


图 4.20 A/D 转换分析插件设置

- (3) 由 FPGA 产生幅度调制信号所需的数字量和控制时钟，并输出到 DAC0832，单击逻辑分析仪的启动按钮运行。观察 D/A[0]~D/A[7]的数据，可以看到，逻辑分析仪已经采集到了大量的数据，直接对这些数据进行分析是个令人头疼的问题，但有了 A/D 转换分析插件，问题就变得非常简单了。如图 4.21 所示，经过 A/D 转换分析插件对采集到的数据进行分析，得到对应的模拟值，根据这些模拟值用光滑的曲线描绘模拟量的波形图，得到的波形与我们设想的完全一致，是一个幅度调制信号。波形是光滑的，说明设计能很好地满足时序要求。

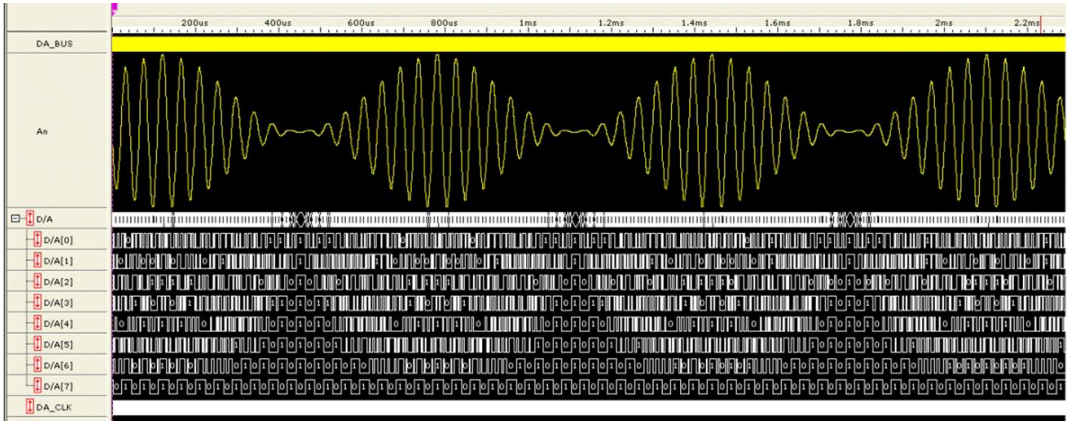


图 4.21 经 A/D 转换分析插件后得到的模拟波形

- (4) 通过示波器观察 DAC0832 的输出以验证我们的结论，可以看到输出信号如图 4.22 所示，示波器观察到的波形与逻辑分析仪中通过 A/D 转换分析插件拟合得到的波形是一致的。

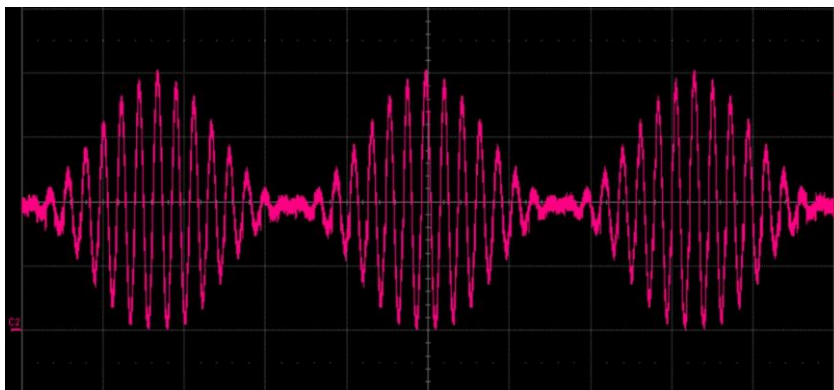


图 4.22 在示波器上观察 DAC0832 的输出信号

以上是时序能满足设计要求的情况，若时序不能满足设计要求，则经过 A/D 转换分析插件的分析后，在模拟量的波形图上将会看到明显的毛刺如图 4.23 所示，此时可通过毛刺定位到问题处，通过查看信号间的时序，分析并解决问题。

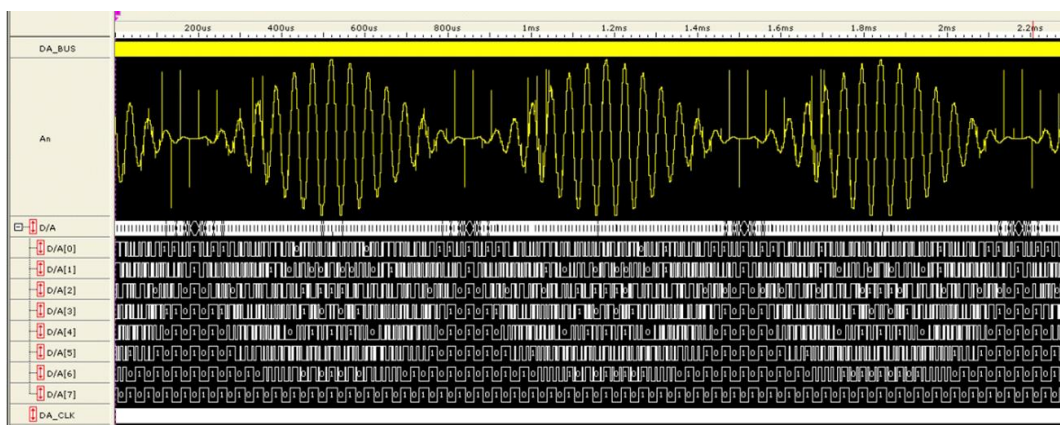


图 4.23 模拟量波形图上的毛刺

对于 D/A 芯片的调试，通过 A/D 转换分析插件，可以发现系统设计中的不稳定因素和时序问题，对 D/A 的输出具有“预见”作用。

4.6 逻辑分析仪在 1-wire 总线开发中的应用

逻辑分析仪需要具备以下三个条件才能够准确、便捷的分析 1-Wire 总线时序：要有 1-Wire 总线的解码插件；要有足够深的存储深度，将一次数据传输过程完整的记录下来；要足够高的输入阻抗。

致远逻辑分析仪 LAB 系列能够完美的应对这些挑战，首先逻辑分析仪软件集成了简单易用的 1-Wire 总线解码插件，其次它提供了高达几十兆的存储深度和几百兆的采样频率，保证了测量的精度，另外它的测量线为 LA_Probe_E，输入电阻为 100K，输入电容为 15pF，确保了测量线对总线系统的影响足够的小。下面具体说明 zlglogic 中 1-Wire 总线解码插件的应用，测试步骤如下。

- (1) 首先连接好逻辑分析仪，将 1-Wire 总线中的波形采集回来，然后点击【工具】→【插件管理器】调出如所示的插件管理器对话框，选中列表中的 1-Wire 总线分析插件，点击设置按钮弹出 1-Wire 总线解码设置对话框，如图 4.24 所示。



图 4.24 插件管理对话框

- (2) 如图 4.25 中的信号名称用于选择需要解码的信号线，速度用于选择总线的速度类型，设置完成后点击确定按钮即可完成解码。



图 4.25 1-Wire 总线解码参数设置

- (3) 解码后的结果如图 4.26 所示。

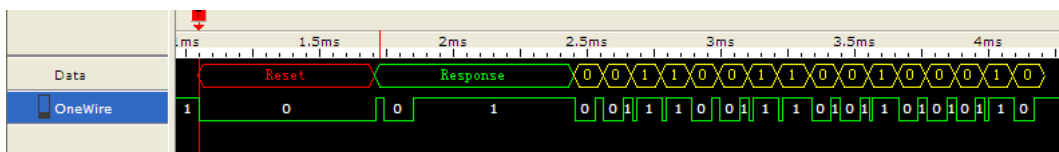


图 4.26 1-Wire 总线解码结果

通过所示解码结果，可以很容易的看出在本次通信中，主机首先对总线进行了复位，然后向总线写入了 16 个位，这 16 位分别为 0011 0011 0010 0010。

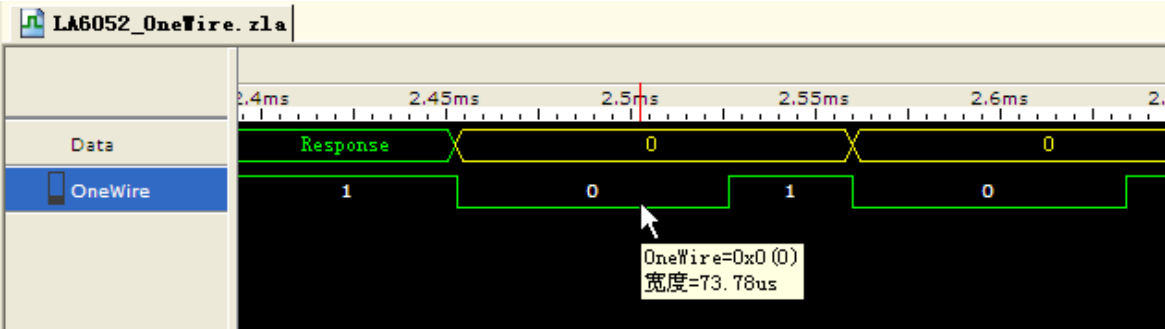


图 4.27 测量 1-Wire 总线电平持续时间

通过测量发现，波形中一次总线写操作持续了 107μs，各项参数均符合 1-Wire 总线的标准时序，但写操作的持续时间过长，这会大大降低总线通信的速率，因此还可以进一步优化主机的总线写操作时序，从而提高通信的速率。

4.7 逻辑分析在 LIN 总线开发中的应用

LIN 总线可以简化很多现有的低端复合解决方案，并且可以降低车辆电子系统的开发、生产、服务及后勤成本。致远逻辑分析仪可以轻松捕获通信总线中的波形，结合插件的解码和触发功能，使通信数据变得简单易懂，从而为测试学习、调试开发带来极大的便利。

下面结合逻辑分析仪及其 LIN 插件进行讲解，测试步骤如下。

- (1) 首先连接好逻辑分析仪，将 LIN 总线中的波形采集回来。然后点击【工具】→【插件管理器】，选中列表中的 LIN 总线分析插件，点击设置按钮弹出 LIN 总线解码设置对话框，如图 4.28 所示。



图 4.28 LIN 解码参数设置

- (2) 数据解码后的整体效果如图 4.29 所示。由于其标识符场中的第 4、5 两位为 00，则数据场中数据数量为 2 个字节。

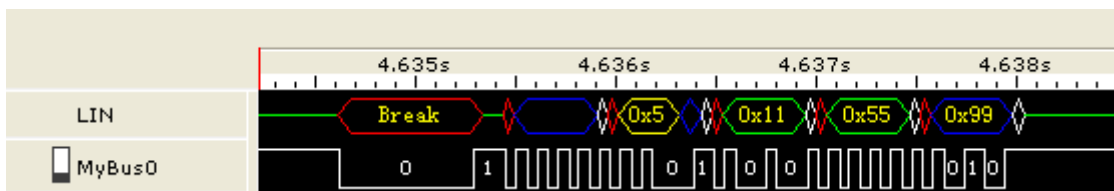


图 4.29 LIN 解码的整体效果图

(3) 以下是详细查看 LIN 协议中各个场段的信息。

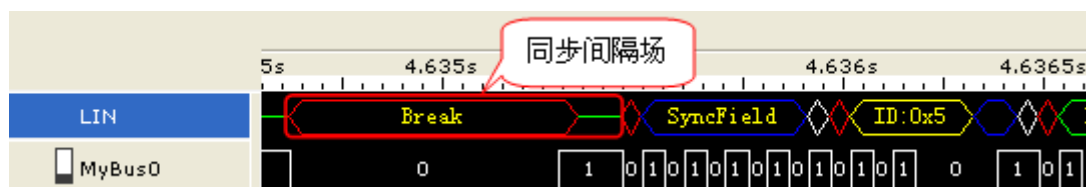


图 4.30 放大查看同步间隔场

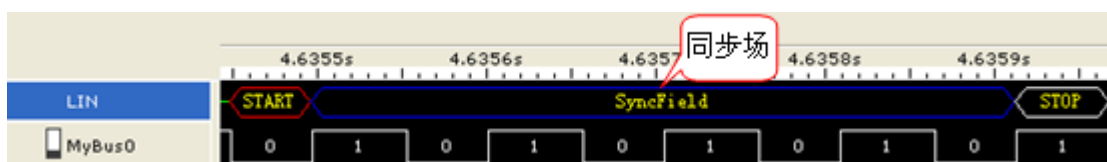


图 4.31 放大查看同步场

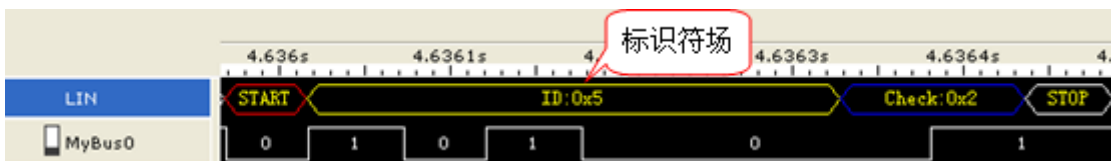


图 4.32 放大查看标识符场

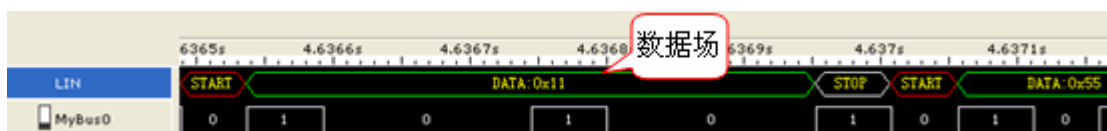


图 4.33 放大查看数据场



图 4.34 放大查看校验和场

从以上各场段的分析结果来看，插件完美地实现了解码的功能，同时用不同的颜色表示不同的场，使结果一目了然地呈现在用户面前。

4.8 逻辑分析仪在 DALI 总线开发中的应用

随着社会的进步和生活质量的提高，人们对于照明设备的要求已经不再满足于简单的开关控制，而需要一种节能、高效、操作灵活的智能照明控制系统。目前常用的照明控制协议有很多种，其中 DALI 协议（数字可寻址照明接口，Digital Addressable Lighting Interface）以其开发成本低、系统开发难度小、易于扩展、实用性强等特点，显示出其在智能照明控制领域中的强大优势。

DALI 协议是用于照明系统控制的开放式异步串行数字通信协议。采用致远逻辑分析仪 LAB 系列采集照明系统控制中传输的数据（按 DALI 协议进行传输），然后采用 DALI 插件分析，可以分析出传输的数据及其命令，测试步骤如下。

- (1) 首先连接好逻辑分析仪，将 DALI 总线中的波形采集回来，然后点击【工具】→【插件管理器】，选中列表中的 DALI 总线分析插件，点击【设置】按钮弹出 DALI 总线解码设置对话框，如图 4.35 所示。



图 4.35 DALI 插件解码参数设置

- (2) 数据解码后的整体效果如图 4.36 所示。从帧格式来看，该帧为发送帧。

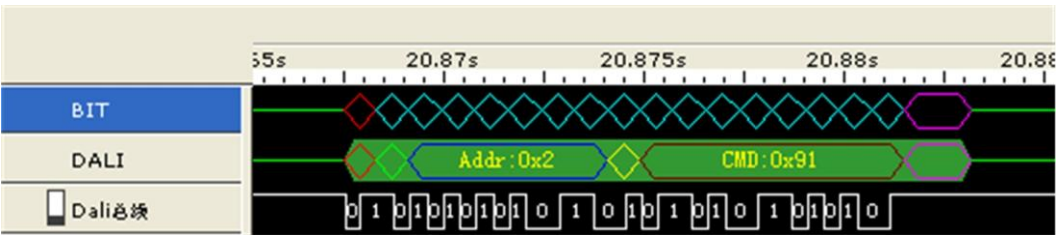


图 4.36 整体解码效果图

- (3) 放大观察各个帧的详细信息，如图 4.37 和图 4.38 所示。

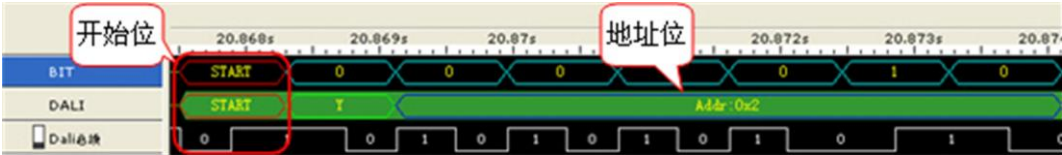


图 4.37 放大观察开始位和地址位



图 4.38 仔细观察选择位、数据字段、停止位

从上述观察中可以看到，解码分析结果形象地将各个位的逻辑值显示出来，便于开发人员发现传输过程中的特定的数据和错误的发生。

4.9 逻辑分析仪在 CAN 总线开发中的应用

作为一种串行通讯技术，CAN-bus 是 20 世纪 80 年代中后期适应汽车控制网络化要求而产生并迅速发展起来的，并已成为开放的国际标准通讯协议（ISO 11898），在众多领域得到了广泛的应用。我们都知道专用的 CAN 分析仪价格昂贵，一般的逻辑分析仪中没有 CAN 总线分析插件，CAN 总线信号解码只能采用人工分析方法，这种分析方式不仅要求分析人员对该 CAN 协议非常熟悉，而且数据量大，分析过程容易出错。致远逻辑分析仪的 CAN-bus 总线插件分析功能使得大多数开发人员可以很轻松的发现错误、调试硬件、加快开发进度，为高速度、高质量完成工程提供保障。

下面进行逻辑分析仪在 CAN 总线开发中的应用，测试步骤如下。

- (1) 首先连接好逻辑分析仪，将 CAN 总线中的波形采集回来，然后点击【工具】→【插件管理器】，选中列表中的 CAN 总线分析插件，如图 4.39 所示。



图 4.39 插件管理对话框

- (2) 在对 CAN 总线进行插件分析之前，用户需要确认总线信号的波特率，如果不知道 CAN 的波特率，可以从逻辑分析仪采样回来的数据估算出来。由于 CAN 总线信号在不工作的条件下为高电平，并且其在有效数据期间不会出现连续的 5 个以上的高电平。所以可以找到最小的一个脉冲信号，假设其为一个周期的时间，由逻辑分析仪分仪分析

测量，并由此列出几个可能的波特率，进行插件分析。如图 4.40 所示是对 CAN 插件进行的相关参数的设置。



图 4.40 CAN 参数插件设置

- (3) 完成上面所述的操作后, 便可以得到如图 4.41 所示的分析结果。

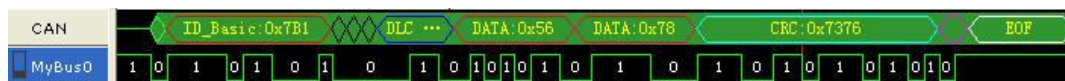


图 4.41 逻辑分析仪测量结果

- (4) 可以分析出此时的 CAN-bus 信号的时序帧 ID 为 0x7B1，发出的数据为 0x56 和 0x78。这样的插件分析结果使得用户可以非常方便分析和学习 CAN-bus 信号的时序。对比**错误!未找到引用源。**如图 4.42 所示的 CAN 分析仪的分析结果，可以看出两种工具得到的结果是完全一致的，并且其结果与本文的通信系统所发出的数据是完全吻合。

状态	帧ID	格式	类型	DLC	数据
成功	0x000007B0	数据帧	标准帧	0x02	56 78
成功	0x000007B1	数据帧	标准帧	0x02	56 78

图 4.42 CAN 分析仪测量结果

相对于示波器和 CAN 分析仪，逻辑分析仪对 CAN 信号的分析和学习上有较大的优势。示波器只可以查看波形，其获取的 CAN-bus 信号的分析需要用户测量每个高低脉冲的宽度，对于大量数据来说用户是非常难以分析和学习 CAN 信号的。**错误!未找到引用源。**CAN 分析仪则只能显示分析的最终结果，看不到物理传输的逻辑信号。而逻辑分析仪可以把逻辑信号和最终的分析结果全部显示出来，用户可以更加方便的分析调试和学习 CAN-bus 信号。

4.10 逻辑分析仪在 FPGA 开发中的应用

随着 FPGA 设计的日益复杂，如今整个设计流程中的实时验证和调试已经成为当前设计 FPGA 系统的关键部分。在 FPGA 系统设计完成前，有两个不同的阶段：设计阶段，调试和检

验阶段。设计阶段的主要任务是输入、仿真和 RTL 设计。调试和检验阶段的主要任务是检验设计，纠正发现的任何错误。使用逻辑分析仪和 Altera 的 Logic Analog Interface 相结合的方法进行在线调试以达到只使用少量的 FPGA 管脚查看许多 FPGA 内部信号。如果使用得当，可以突破最棘手的 FPGA 调试问题。

FPGA 在调试和检验阶段需要做出的关键选择是使用哪种调试方法。基本的 FPGA 在线调试方法有两种：使用嵌入式逻辑分析仪或者使用外部逻辑分析仪。两种方法的比较如表 4.1 所示。

表 4.1 FPGA 调试方法对比

	嵌入式逻辑分析仪	外部逻辑分析仪
FPGA 管脚	不使用额外的测试 FPGA 管脚	需要较多的用于调试的 FPGA 管脚数量
探测	使用现有的 JTAGFPGA 管脚，探测简单	探测方法稍复杂
内部资源	内存深度与器件资源大小有关	不使用 FPGA 内存资源
工作模式	只能进行状态分析	可做各种分析

这两种方式各有优缺点，使用外部逻辑分析仪和 Logic Analog Interface 相结合的方法来进行 FPGA 的调试的方法如所示。这种方法既可用有限的 FPGA 管脚来观察更多的内部信号，内存深度又不受 FPGA 资源的限制，完全结合了中提到的两种测量方法的优点，系统框图如图 4.43 所示。

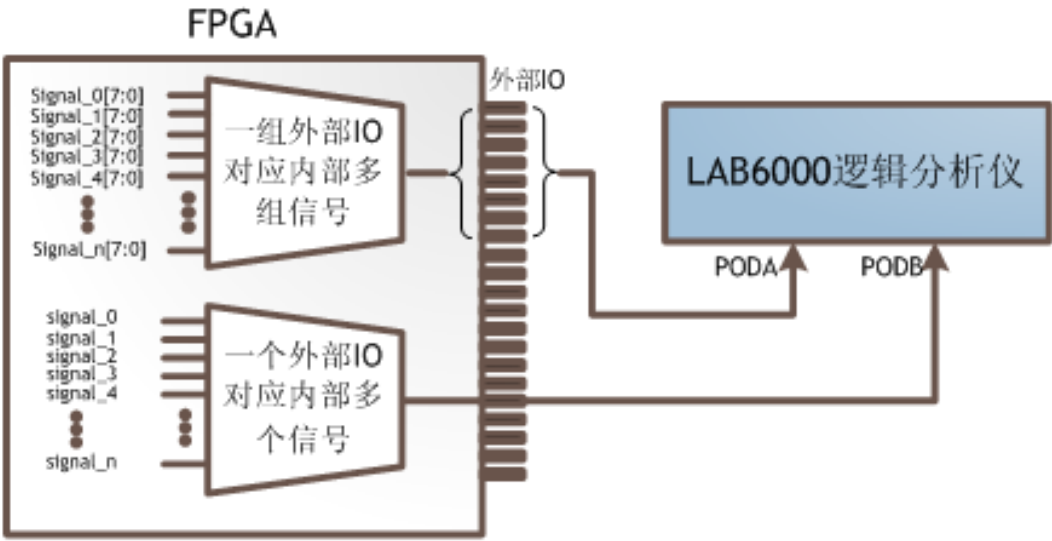


图 4.43 总体结构框图

Logic Analog Interface Editor 是 Altera 公司开发的 Quartus II 集成开发环境中自带的一个用 LAI 在线调试的 FPGA 接口软件。通过编辑相应的设置，可以使内部的多个信号分时复用同一组 FPGA 管脚，再通过逻辑分析仪来观察想要观察到这些内部信号，需要查看其它与其复用的信号时，无需重新编译，只需要将如所示中的 Logical View 窗口中的任一个 Bank 进行右击，然后选择 connect bank 即可。

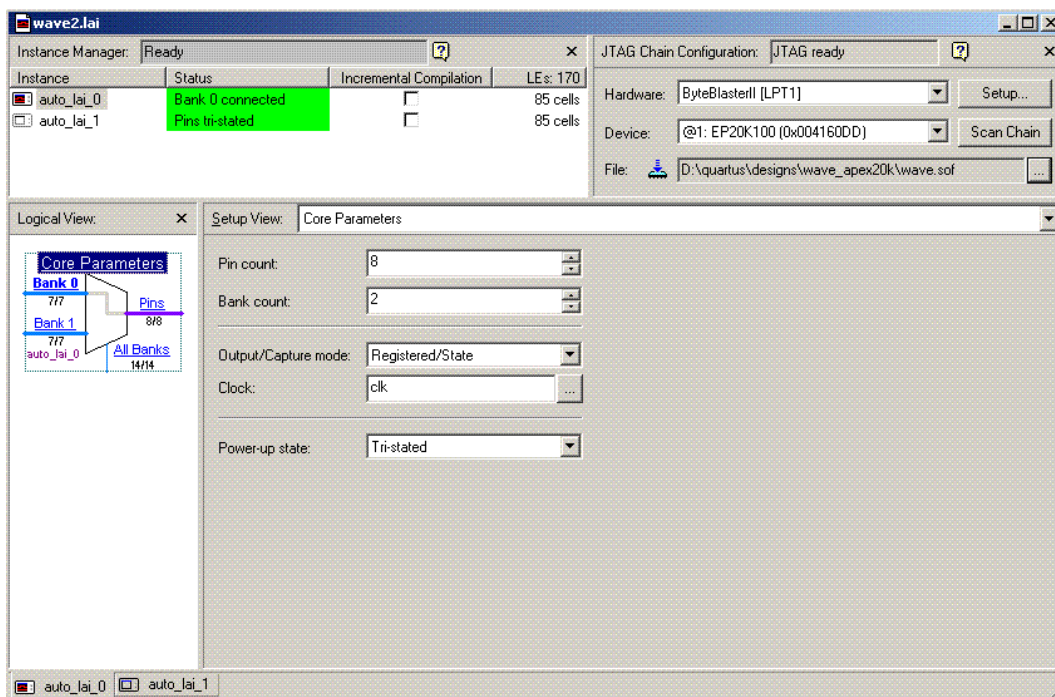


图 4.44 Logic Analog Interface Editor 整体界面

下面对如图 4.44 所示的接口编辑器进行说明：

- (1) Instance Manager 窗口是用来显示当前逻辑分析仪接口以及添加和删除接口；
- (2) Logical View 窗口是对于逻辑接口的一个图形化表达，用鼠标单击任何一个蓝色的部分，都会超链接到其相应的 Setup View 窗口；
- (3) Core Parameters 窗口会显示以下配置：
 - Pin Count：表示希望专用于逻辑分析仪接口的 FPGA 管脚数量。
 - Bank Count：表示希望映射到每个 FPGA 管脚上的内部信号数量。
 - Output/Capture Mode：选择希望执行的采集类型。可以选择 Combination/Timing(组合逻辑/定时模式) 或 Registered/State (寄存器/状态模式)。
 - Clock：如果用户选择了 Registered/State(寄存器/状态)的捕获模式，这一选项允许选择测试内核的取样时钟。
 - Power-Up State：这个参数允许指明指定用于逻辑分析仪接口的 FPGA 管脚的通电状态。

此软件的使用也是十分简单，只需将要共用一组 Pins 的 Banks 信号一一列举出来，并经 Pins 连接到具体的外部 FPGA 管脚，一切设置好后进行重新编译，下载，然后就可以通过强大的逻辑分析仪来观察需要观察的任何信号了。

4.11 逻辑分析仪在 ACTEL 平台中的应用

ACTEL 公司是全球四大 FPGA 厂商之一，占据了美国 90%以上航天航空的 FPGA 市场。2002 年，ACTEL 推出了基于 FLASH 架构的 FPGA，其具有单芯片、非易失性、上电即行、加密、低功耗、固件免疫错误等特点，2005 年又推出了全球首个模数混合的 FPGA——FUSION，将模拟的外设与数字的 FPGA 内核进行了完美结合，在 FPGA 领域实现了前所未有的突破，一定程度上实现了单芯片的解决方案。

ACTEL 的 FPGA 带有内嵌逻辑分析仪，但具有占用 FPGA 内部资源、存储容量极为有限、更改节点需重新综合编译且速度慢等缺点。外置逻辑分析仪则不同，具有采样频率高，存储容量大，通道多等优点，同时还具有协议分析、插件触发等特色，能大大提高调试效率。下面对基于 FUSION 的电话录音解决方案进行分析，来介绍逻辑分析仪在 ACTEL 开发中的应用。

4.11.1 方案介绍

展示了《电话录音解决方案》的整体设计思想。整个系统由 FUSION FPGA 和外围电路两大部分组成，其中外围电路又分为摘机检测电路、FSK 提取电路、DTMF 解码电路和语音提取电路四个单元；其中 FSK 和 UART 的编码解决由 FPGA 内部逻辑构建实现，如图 4.45 所示。

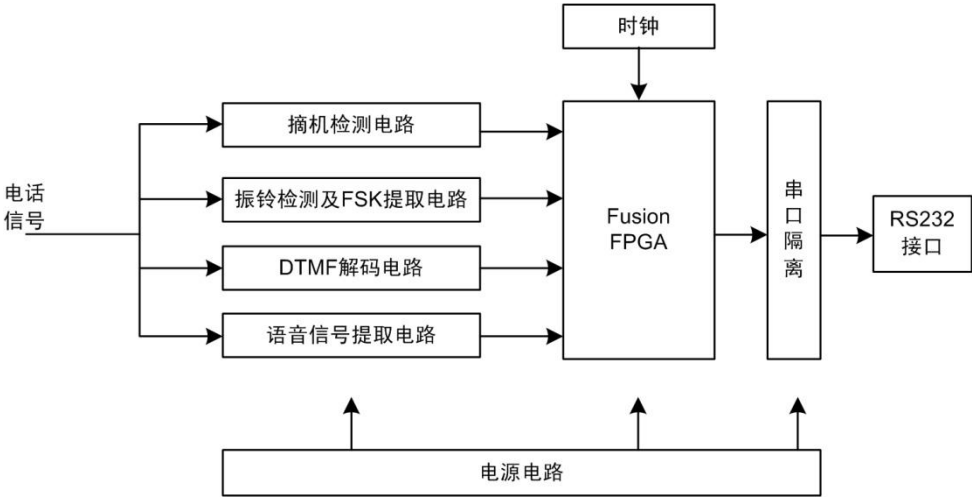


图 4.45 电话录音解决方案总体设计

调试过程中我们必须分析 FSK、DTMF 的编码，语音信号采样 AD 值，串口通讯协议等电路是否正确。下面我们将介绍如何使用逻辑分析仪来分析这些问题，同时了解逻辑分析仪给我们的调试带来了哪些优势。

4.11.2 实现过程

1. FSK 解码模块

电话的来电信息通常是由交互机通过 FSK 调制波发送过来的，由 1200Hz(逻辑 1)和 2200Hz(逻辑 0)波特率为 1200bps 的信号组成。系统前端电路将模拟形式的 FSK 转换逻辑信号后送至 FUSION FPGA 中进行硬件解码。编写 FSK 解码 IP 时，我们需要确定前端转换的信号是否正确，并了解信号特征，因此需要逻辑分析仪捕捉信号进行分析，如图 4.46 所示为逻辑分析仪采样到的 FSK 信号。从采样到的波形中我们可以确定前端转换电路正常，同时也为解码 IP 提供了 FSK 的波形特性。

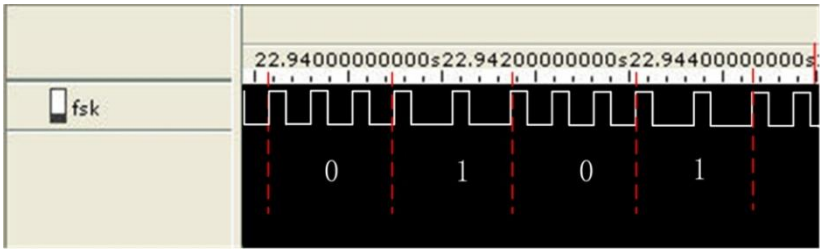


图 4.46 FSK 波形

2. 语音信号提取模块

语音信号提取主要由 ADC 采样实现，采用 FUSION 内部自带 ADC，体现了单芯片特性。语音信号经过调理后通过 A/D 采样并转换为数字信号，为了便于分析，在 FPGA 内部将 ADC 采样的数字信号通过探针功能引出到 I/O 口，此时可以使用逻辑分析仪对数字信号进行状态采集，以便分析输入信号与被采样的数据之间的对应关系。调试时用示波器采样模拟信号，并同步触发逻辑分析仪（LAB 系列逻辑分析仪具有外部触发功能）采样 ADC 转换后的数据。

采样回来的数据利用逻辑分析仪强大的插件分析功能（A/D 插件分析）进行分析，可以将采样波形数据复原，由于使用外部触发，两仪器采样到的波形数据触发相位点也是一致的，所以方便对比分析，采样到的数据是否正确一目了然。

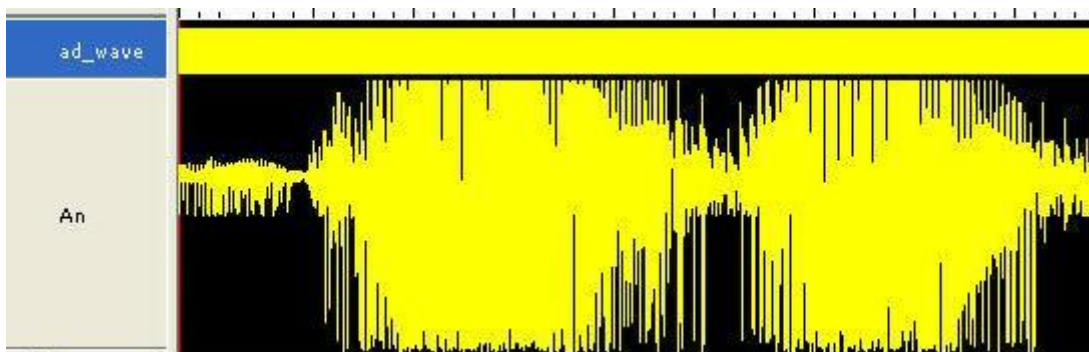


图 4.47 逻辑分析仪分析 ADC 采样值

通过 ADC 采样值分析还原的语音信号波形图，如图 4.47 所示。从图中可以看出语音信号超出 ADC 的采样阈值，明显失真。因为 A/D 转换后的数字信号为 FPGA 内部信号，很不容易观察。如果手工分析 A/D 采样后的信号，那么将是一个多大的工作量，而且容易出错，也很难发现错误。可见逻辑分析仪带来的便利之处。

3. UART 模块

由于 FPGA 的灵活性，串口控制器可以由 FUSION FPGA 内部的逻辑单元（Tile）来实现。UART 通信中没有同步机制，因此波特率的精确与否直接决定了数据传输的稳定性。因此我们必须分析 UART 的通讯时序，保证编写的 IP 是否合格；即分析信号的时序对不对，有没有毛刺、抖动等问题，哪怕非常细微的时序缺陷，这些都逻辑分析仪的强项。

IP 调试通过之后，需要与 PC 机进行通讯，这时也需要逻辑分析仪进行分析，如通讯协议的正确性。LAB6000 逻辑分析仪中带有 UART 协议分析插件，可以自动识别串行数据流并分析出通讯的数据，即将物理层的数据提取出来，如图 4.48 所示。这样，如若遇到问题时，就不用很辛苦的做人工解析了。

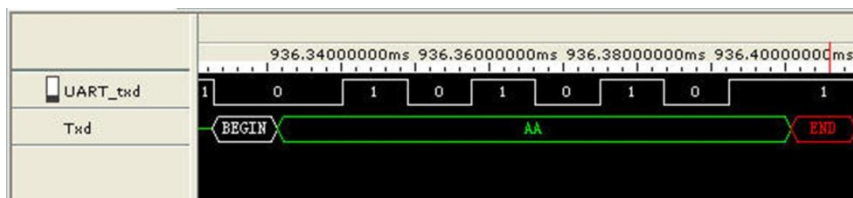


图 4.48 解析出来的 UART 数据

UART 的应用很广，做 UART 总线分析时需要预先知道传输的波特率，在不知道波特率的情况下可以使用逻辑分析仪软件中的测量工具测量数据位的宽度，在测试数据位宽度的同时软件会自动算出该宽度所对应的频率，此频率即为传输波特率，如图 4.49 所示，一个数据位的宽

度是 8.66us，计算所得的频率的 115.14KHz，设计预期的波特率为 115200，也就是 115.20KHz，可见 UART 模块的波特率存在一定误差。

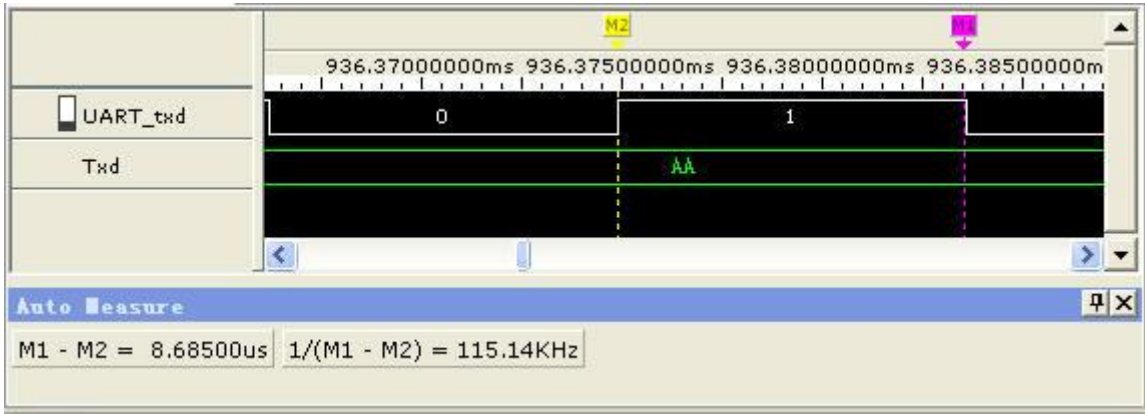


图 4.49 逻辑分析仪测量 UART 波特率

4.12 逻辑分析仪在 RFID 开发中的应用

RFID 即射频识别，随着技术的成熟，RFID 系统在越来越多的场合得到了应用，如饭卡、公交卡、考勤卡等。RFID 的国际标准众多，下面以较为常用的 ISO14443 协议中的 TypeA 类型为例进行说明。

4.12.1 方案介绍

基于该协议的读卡器基本原理所图 4.50 示，空闲状态下，MCU 循环将用于查询射频卡的特定指令以串行方式送出，通过调制器将其调制到 13.56MHz 的载波信号，当射频卡靠近读卡器的 LC 谐振回路接收到查询指令后，就以负载调制的方式响应读卡器的查询，读卡器对接收到的信号进行滤波、检波、整形后，提取出基带信号，经 MCU 解码后得到原始数据。

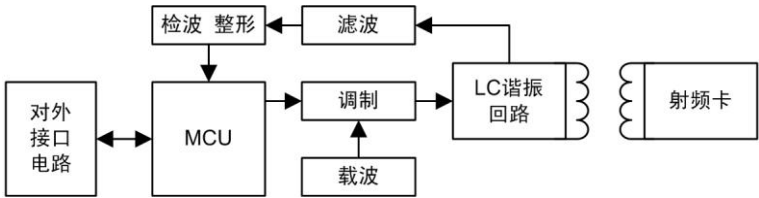


图 4.50 RFID 读卡器原理框图

4.12.2 方案实现

如图 4.51 所示，读卡器中的编解码工作都可以由 MCU 完成，而调制、滤波、检波等模拟功能则可以用晶体管和阻容元件实现。

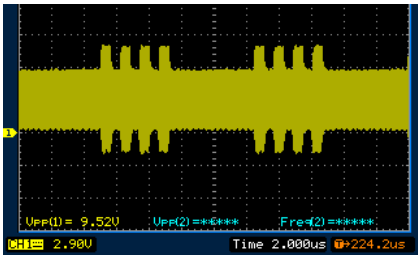


图 4.51 射频卡响应后的信号波形

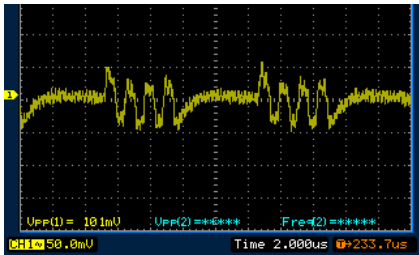


图 4.52 滤波后提取出的副载波

空闲状态下，读卡器循环向外发送查询指令，当有兼容的射频卡靠近读卡器并接收到查询指令后射频卡会以负载调制的方式响应读卡器的查询，此时读卡器 LC 谐振回路中的信号波形如**错误!未找到引用源。**所示。首先被送入一个无源低通滤波器，滤除 13.56MHz 的载波信号，提取出如图 4.52 所示的副载波信号，然后对副载波信号进行放大、包络检波、整形后还原出基带数字信号，将基带信号入 MCU 即可进行解码。

读卡器的调试工作主要分为软件和硬件两大部分，硬件部分的难点主要在于滤波器的设计与调试，软件部分的难点则在于防碰撞算法的调试，这是 RFID 读卡器设计的精髓所在。

从读卡器的角度来看，防碰撞算法是一种基于收发交互的过程，因此无法使用单步运行的方式来调试 MCU 的软件，那么有没有什么工具可以将防碰撞循环中的数据交互过程透明化，从而准确定位程序中的 Bug 呢？答案是使用逻辑分析仪。适合这一应用的逻辑分析仪需要满足三个条件，首先要有足够深的存储深度，从而能够将一次或多次通信过程的数据完整的捕获下来；其次要有米勒码和曼彻斯特码的解码插件，从而能将二进制的码流还原成原始的数据，另外还要有足够高的采样频率，从而保证上位机能够准确分析波形的时序并发现信号中潜在的毛刺。

4.12.3 实现过程

广州致远电子有限公司研制的 LAB 系列逻辑分析仪能够应对所有的这些挑战，如其代表产品 LAB7504，拥有高达 500MHz 的采样频率和 64M/通道的存储深度，同时在其上位机软件 zlglogic 中集成了曼彻斯特码、米勒码等众多的协议分析插件，测试步骤如下。

- (1) 首先用逻辑分析仪抓取 RFID 读卡器发出和收到的信号，然后点击【工具】→【插件管理器】，选中列表中的双相曼彻斯特编码分析插件，如图 4.53 所示。



图 4.53 插件管理器

- (2) 插件参数设置如图 4.54 所示。



图 4.54 米勒码和曼彻斯特码插件参数设置

如图 4.55 所示是读卡器发出查询指令射频卡响应后用逻辑分析仪抓到的数据，send 信号是读卡器发出的命令，编码方式为米勒码，解码后的值为 0x26，在 ISO14443 协议中表示 REQA 指令，receive 信号是射频卡返回的数据，编码方式为曼彻斯特码，解码后的值为 0x04，在 ISO14443 协议中表示 ATQA。

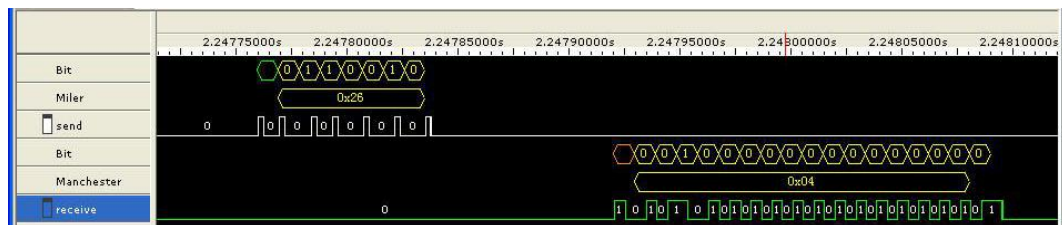


图 4.55 插件解码后的数据

4.13 逻辑分析仪在 SDRAM 开发中的应用

在嵌入式系统中，经常要用到大容量的随机存储器(RAM)来运行程序或存储数据，SDRAM (Synchronous DRAM，同步动态随机存储器)即是其中之一，凭借着低廉的价格、大容量、与系统总线速率同步等优势，应用非常广泛，特别适用于图像处理、高速数据采集等场合。由于 SDRAM 的操作时序相对比较复杂，接口不能直接与大部分微处理器的存储器接口相连接，需要在其间插入控制器实现桥接功能（若与 FPGA 连接则需在内部加入 SDRAM 控制器 IP），容易出现问題；因此在嵌入式系统中 SDRAM 或 SDRAM IP 核的调试过程中，使用分析工具对 SDRAM 的时序进行测试分析对于问题的发现、提高产品设计进度是很有帮助的。鉴于 SDRAM 的信号线比较多，而且是同步操作，所以选择逻辑分析仪（状态分析仪）来测量是最适合的。下面将通过一个简单的例子来介绍如何使用逻辑分析仪测量 SDRAM。

4.13.1 硬件平台介绍

被测系统为一 FPGA 开发平台，SDRAM 用来运行片上系统(SOPC)的程序，测量时需将 SDRAM 的信号线引出来（注意引线不能太长，最好等长），以便于接逻辑分析仪的探针，如图 4.56 所示。由于 SDRAM 的信号线比较多，因此在设计 PCB 阶段要考虑留测试端口，这样可以方便测试。

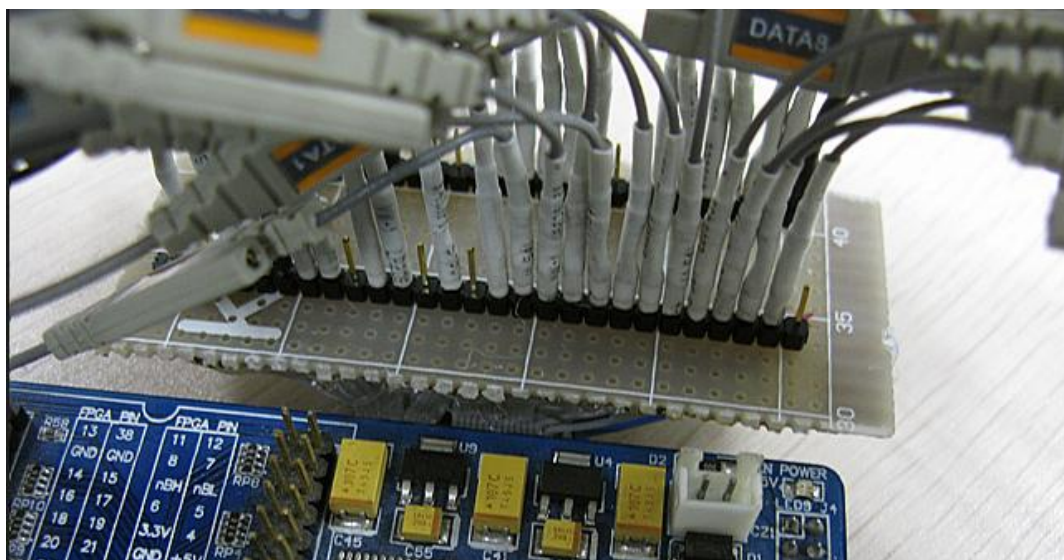


图 4.56 测试平台

在本系统中 SDRAM 的时钟运行频率为 100MHz，由于采用同步采样，且 SDRAM 时钟频率高，因此需要高测量带宽、大存储深度的逻辑分析仪，这里采用的是广州致远电子有限公司 LAB6000 系列的逻辑分析仪 LAB6052，其状态采样带宽及存储深度足以满足 SDRAM 的测量。

4.13.2 建立应用平台

这里将建立一个简单的 SOPC 应用平台，用于介绍逻辑分析仪在 SDRAM 测量中的应用。典型的 SOPC 系统框架如图 4.57 所示，SDRAM 通过 FPGA 内部的 SDRAM 控制器桥接，再与其它主设备连接。我们要测试的就是 SDRAM 控制器与 SDRAM 芯片之间的数据通路。为了便于测试，这里建立一个只包含 JTAG 主端口桥和 SDRAM 控制器的系统，这样我们就可以通过 JTAG 接口来控制 SDRAM 进行读写操作。

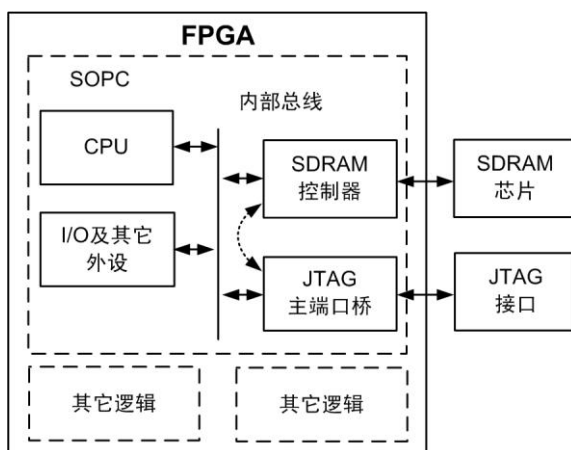


图 4.57 SDRAM 在系统中的组成关系

控制程序由 TCL 语言实现，通过上位机控制平台及下载线与 JTAG 接口连接，实现对 SDRAM 的读写控制。操作过程是往 SDRAM 连续写入 8 个 32 位的数据，然后再读出来显示。在操作的过程中启动逻辑分析仪进行数据采集，便可将采样回来的数据与读写控制的数据进行同步对比分析。

4.13.3 逻辑分析仪测量应用

测量 SDRAM 需要的信号有 CLK、CKE、WEn、CASn、RASn、CSn、DQMH、DQML、ADDR、BANK、和 DATA。因为信号线比较多，所以在测量过程中 DATA 的高 8 位没有接（不影响分析）。其中 CSn、RASn、CASn 和 WEn 为命令控制信号，可归列为一条测量总线（命名为 COMMAND），便于实现命令触发。逻辑分析仪的采样模式设置为同步采样（状态采样），采样时钟选择 CLK。将逻辑分析仪的测量探针连接好并在软件上设置好采样通道便可以进行采样。

在采样之前先简单介绍 SDRAM 的控制命令，如表 4.2 所列，表中命令值为 CSn、RASn、CASn 和 WEn 的集合（当连线顺序改变时，命令值也要跟着变），命令值在逻辑分析仪采样时做命令触发很有帮助。

表 4.2 SDRAM 控制命令

命令	命令值	CSn	RASn	CASn	WEn	ADDR
抑制操作	F	H	X	X	X	X
不操作	7	L	H	H	H	X
激活	3	L	L	H	H	块/行
读	5	L	H	L	H	块/列
写	4	L	H	L	L	块/列
突发终止	6	L	H	H	L	X
预充电	2	L	L	H	L	代码
刷新	1	L	L	L	H	X
模式寄存器设置	0	L	L	L	L	操作代码

准备就绪后，我们设置逻辑分析仪的触发条件为 COMMAND=4（即当 SDRAM 产生写操作时触发），之后启动逻辑分析仪，当程序运行时，就能采样到 SDRAM 写数据的时序。如图 4.58 所示，从图中的 COMMAND 我们可以了解到 SDRAM 命令操作的顺序为 0x3(换行，行地址为 0)，0x07(不操作)，0x04（写操作），写操作持续两个周期，分别对列地址 2 写入 1 和列地址 3 写入 0，BANK 为 0，即往 SDRAM 的 0x00000002、0x00000003（16 位总线）地址写入了一个 32 位的数据 0x00000001。



图 4.58 SDRAM 写时序

同样我们可以设置触发条件为 COMMAND=5(即当 SDRAM 产生读操作时触发)，如图 4.59 所示，从图中可以看出操作时序是从 SDRAM 的 0x00000002、0x00000003 读 0x00000001 出来。



图 4.59 SDRAM 读时序

从图 4.59 中也可以发现，从发送读命令到数据返回共用了三个采样周期，即读数据潜伏期 $CAS\ Latency = 3$ 。这个参数可以从 SDRAM 控制器的手册获取，也可使用逻辑分析仪采样获取，SDRAM 控制器在上电的时候会对 SDRAM 的模式寄存器进行配置，因此我们可以设置触发条件为 $COMMAND=0$ （设置模式寄存器），获取 SDRAM 上电时的配置时序，如图 4.60 所示。其中 ADDR 为配置寄存器的值（这里为 0x30），通过 SDRAM 的数据手册我们可以查知它的意义，其中 CAS Latency 的定义为（A6、A5、A4 地址线），如表 4.3 所列。因此 0x30 即表示 $CAS\ Latency = 3$ 。



图 4.60 SDRAM 配置模式寄存器时序

表 4.3 CAS Latency

A6	A5	A4	CAS Latency
0	0	0	Reserved
0	0	1	Reserved
0	1	0	2
0	1	1	3
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	Reserved

这里通过触发命令的方式来介绍逻辑分析仪在采样分析 SDRAM 时序中的应用，用户还可以根据自己的需求分析其它细节，如分析 SDRAM 的 BANK 切换、换行、突发传输、预充电、刷新等操作是否符合设计要求，从而解决设计过程中存在的问题。

4.14 逻辑分析仪在 USB 开发中的应用

自 1998 年由 Compaq、Intel、Microsoft、NEC 等公司制定 USB 总线以来，已经经历了 USB1.1、USB2.0、USB OTG 等几代，发展到现在最新的 USB3.0。USB 总线以其方便、快速、稳定、即

插即用等优点，迅速受到人们的欢迎和喜爱。一直以来测量 USB 信号都需要专用的分析仪（如：USBAnalyst-I 分析仪等），致远 LAB 系列高性能逻辑分析仪上增加了 USB 分析插件，可以直接使用 LAB 系列高性能逻辑分析仪来进行 USB 协议 FS 和 LS 的数据分析。

LAB 系列逻辑分析仪的输入信号电平范围为-30V~+30V，而 USB 信号的电平特征如表 4.4 所示。从表中可以看出，USB Fullspeed 和 Lowspeed 的电平特征在 LAB 系列逻辑分析仪的测量范围内，可以使用 LAB 系列逻辑分析仪对 USB 信号进行直接的采集和测量。根据 USB 信号的电气特征和 LAB6052 逻辑分析仪的输入特点，需要把逻辑分析仪的阈值电平设置在 USB 输出信号交叉电平范围内，就可以让逻辑分析仪正确地识别 USB 物理电平。

表 4.4 USB Fullspeed/Lowspeed 电气特征

名称	标号	最小值	最大值	单位
Low（低电平）	V _{OL}	0.0	0.3	V
High（高电平）	V _{OH}	2.8	3.6	V
SE1（SE1 信号）	V _{OSE1}	0.8	-	V
Output Signal Crossover Voltage （输出信号交叉电平）	V _{CRS}	1.3	2.0	V

4.14.1 测量方法

为了能够测试到 USB 信号，焊接了两个 USB 口接插件，并将 USB 接插件的 VCC、GND、D+和 D-信号线一一对接，并预留排针用于连接逻辑分析仪测试探针，如图 4.61 所示。

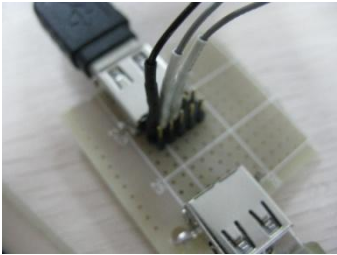


图 4.61 USB 接插件

将被测设备的 USB 口连接在接插件的一头，另一头用 USB 线与电脑主机相连，然后将逻辑分析仪的测量线与相应的信号连接，最后的连接如图 4.62 所示。



图 4.62 系统连接图

设置门限电压为 1.7V, 在 USB 信号输出信号交叉电平范围内, 当 USB 总线上信号高于 1.7V 时, 逻辑分析仪就记录为高电平, 当低于 1.7V 时就记录为低电平。USB 总线信号的测量结果如图 4.63 所示。

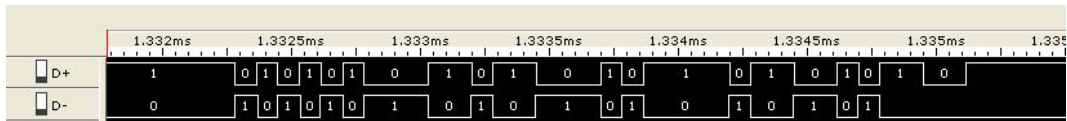


图 4.63 USB 总线信号测量结果

在插件管理器调用 USB 分析插件对话框, 如图 4.64 所示。对 USB 总线进行设置, 选择合适的速度, 点击确定, 系统会自动对测量到 USB 信号数据进行协议分析, 分析结果如图 4.65 所示, 直接观察到 USB 传输中 SOF 数据包的具体内容和含义。

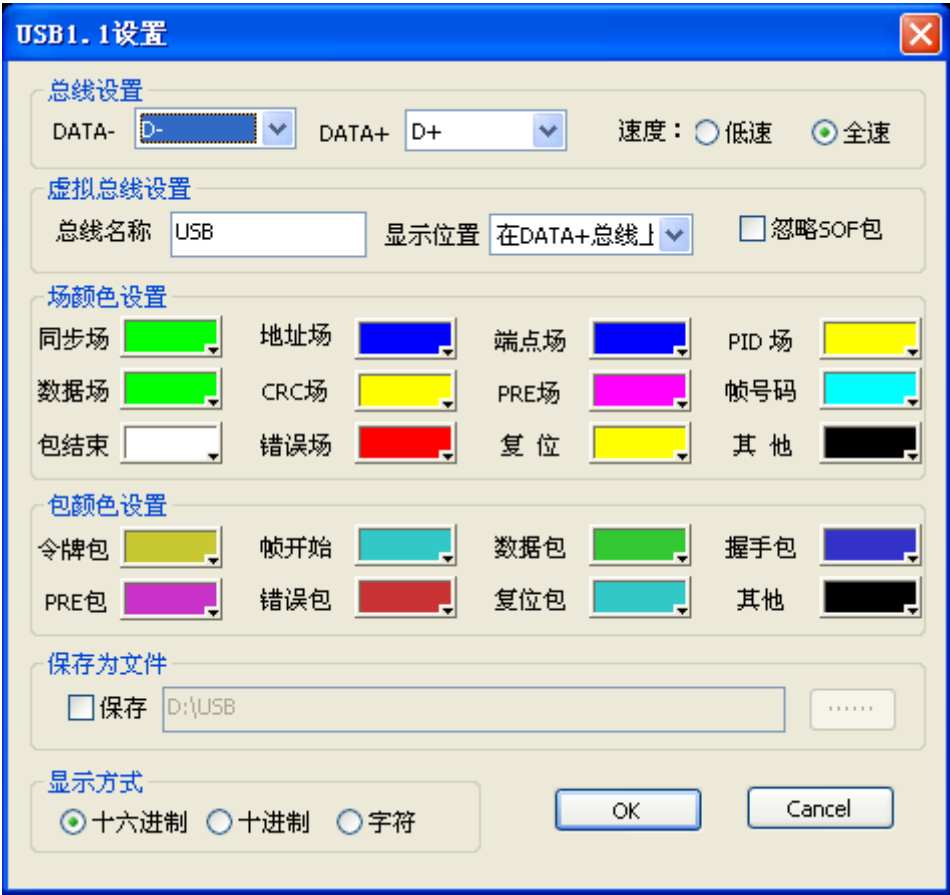


图 4.64 USB 插件参数设置

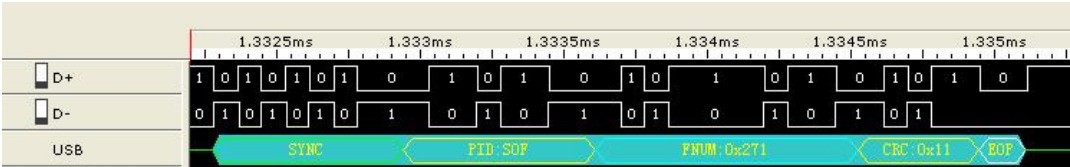


图 4.65 USB SOF 信号分析结果

4.14.2 应用实例

在 USB 设备开发中, 常常遇到把设备连接到主机提示发现了新硬件, 但在安装期间出现问题, 无法使用的现象, 如图 4.66 所示。

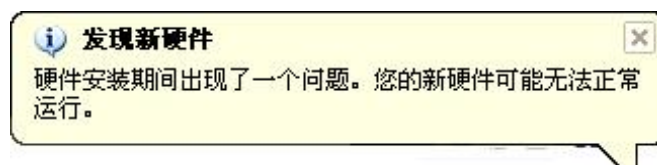


图 4.66 硬件出错图标

由于 USB 传输使用了 NRZI 数据编码和位填充的方式，并不能够直接使用示波器来进行观察数据传输的内容。通过 LAB6052 逻辑分析仪并使用 USB 分析插件，进行数据分析。分析数据如图 4.67 所示。从 USB 数据中，可以发现主机有发送 Setup 令牌包，但设备并没有对 Setup 令牌进行应答，导致主机不能识别 USB 设备。造成没有应答的原因可能是 USB 器件并没有受到正确的控制，或者 USB 线的连接有问题。

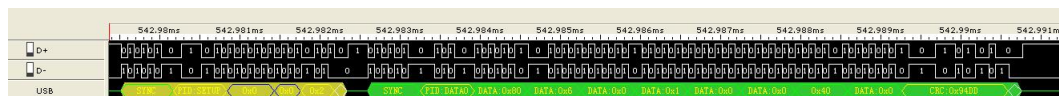


图 4.67 硬件出错 USB 数据

最终发现是 USB 通道上 D-插头虚焊了，重新焊接后，数据可以正常传输，如图 4.68 所示。由于被测的 USB 设备是全速设备，D+引脚焊接良好，D+上的上拉电阻能够正常对 USB D+进行上拉，使得主机可以识别出有新硬件接入。由于 D-虚焊，USB 器件无法正常识别 USB 数据包，就不对主机进行应答，因此出现只有主机发送数据而没有设备应答数据的情况。

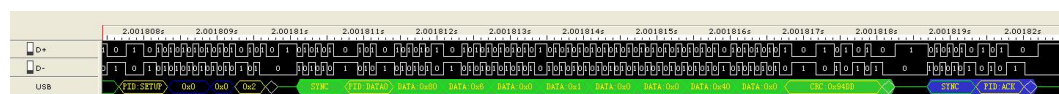


图 4.68 硬件正常 USB 数据

通过使用 USB 插件对数据进行分析，可以使进一步细化 USB 出错的原因，使得开发 USB 设备更加方便。

4.15 逻辑分析仪在 CF 卡开发中的应用

CF 卡（Compact Flash）技术是由 CF 协会(CFA)提出的一种与 PC 机 ATA 接口标准兼容的技术，使用标准的 ATA/IDE 接口。CF 卡采用闪存（flash）技术，是一种稳定的存储解决方案，不需要电池来维持其中存储的数据，对保存的数据来说，CF 卡比传统的磁盘驱动器安全性和保护性都更高，比传统的磁盘驱动器及 III 型 PC 卡的可靠性高 5 到 10 倍，而且 CF 卡的用电量仅为小型磁盘驱动器的 5%。CF 卡使用 3.3V 到 5V 之间的电压工作（包括 3.3V 或 5V）。这些优异的条件使 CF 卡广泛应用于数码相机、PDA、笔记本电脑等设备。

CF 卡的存取工作模式有三种：PC Card Memory 模式、PC Card I/O 模式以及 True IDE 模式。本文介绍了 CF 卡工作在 True IDE 模式下的时序分析，详细分析总线中的读、写寄存器状态、ATA 命令等。根据 CF 卡标准总线的读写时序，分析总线中的建立、保持时间等，最终解码后的数据将以图形的方式详细显示。

4.15.1 CF 卡原理

CF 卡工作在 True IDE 模式下，最基本的连接线有 A00-A02、-CS0、-CS1、-IORD、-IOWR、Data0-Data15，其中 A00-A02、-CS0、-CS1 这五条信号线组成地址线 Address0-address4。

CF 卡 True IDE 模式总线读、写时序的时间参数如 tsu、thd 等由具体器件决定。数据线（-IORD）、写数据线(-IOWR)都是低电平有效,双向数据线（Data）位宽为 16 位，即读、写数据复用数据线。

对于 CF 卡的读、写操作，其实就是对 CF 卡控制器的寄存器进行操作，所以在操作时必须对寄 CF 卡的寄存器十分熟悉，这些寄存器统称为任务文件(task file)寄存器。根据地址线和读、写控制线，如表 4.5 中详细介绍了 CF 卡控制器中可操作的寄存器。

表 4.5 True IDE 模式 I/O 译码

-CS1	-CS0	A02	A01	A00	-IORD	-IOWR
1	0	0	0	0	读数据（RD Data）	写数据（WR Data）
1	0	0	0	1	错误寄存器（Error register）	状态寄存器（Features）
1	0	0	1	0	扇区数（Sector count）	扇区数（Sector count）
1	0	0	1	1	扇区号(Sector Number)	扇区号(Sector Number)
1	0	1	0	0	低柱面号(Cylinder Low)	低柱面号(Cylinder Low)
1	0	1	0	1	高柱面号(Cylinder High)	高柱面号(Cylinder High)
1	0	1	1	0	驱动器\磁头(Select Card/head)	驱动器\磁头(Select Card/head)
1	0	1	1	1	状态寄存器(Status)	命令寄存器(Command)
0	1	1	1	0	Alt 状态寄存器(Alt Status)	设备控制(Device Control)
0	1	1	1	1	驱动地址(Driver Address)	保留(Reserved)

有效数据的存取是基于实际物理地址进行的。地址线(A00、A01、A02)是 CF 卡的控制寄存器寻址线，实际操作地址并不是内存寻址空间。CF 卡内存空间的寻址是通过扇区号寄存器、柱面号寄存器和磁头号寄存器三者组合完成内存的寻址。CF 卡的读写是通过卡内的缓冲区进行的，不支持直接读写存储区域，读取数据时，存储卡中的智能控制电路先把数据写入缓冲区，然后外部系统才能通过读缓冲区将数据读取出来。写数据时，外部系统先把数据写入缓冲区，写满后，CF 卡将缓冲区的内容自动读入存储区域。缓冲区的读写以顺序读写的方式进行，不支持随机存取方式，系统只能一次性地按顺序读完或写完所有 512 字节。在读写访问时，CF 卡 True IDE 模式支持 CHS(柱面/磁头/扇区)寻址方式，物理寻址地址通过 IDE 接口写入相应的 CHS(柱面/磁头/扇区)寄存器。

4.15.2 插件解码分析

首先连接好逻辑分析仪，将 CF 卡中的波形采集回来，然后点击【工具】→【插件管理器】，选中列表中的 CF 卡协议分析插件，点击【设置】按钮弹出 CF 卡解码设置对话框，设置如图 4.69 所示。



图 4.69 CF 卡解码参数设置

如图 4.70 所示为一次完整的读状态寄存器操作，图中看到软件根据总线信号，自动解码出当前读寄存器为读状态寄存器 (Read Status REG) 和读到的数据为 0XD0 (低 8 位)。图中的 Time 为时序分析信号，软件参考标准读时序图，根据地址和读控制信号，自动分析出读数据的延迟、保持时间等，通过辅助光标能够准确测量时序是否满足器件的时序要求。

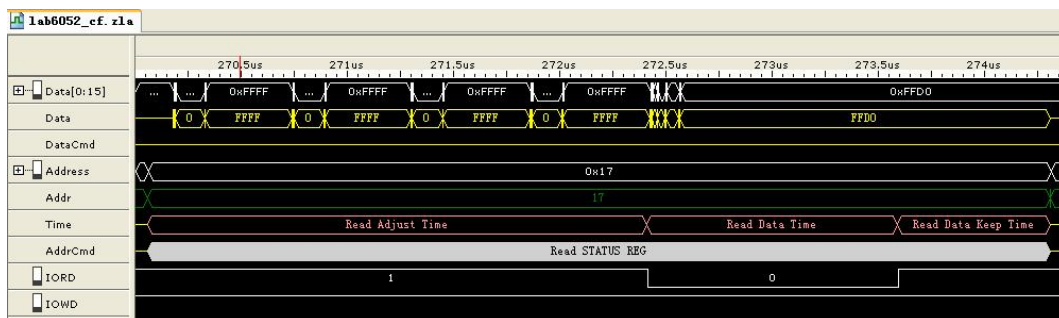


图 4.70 读状态寄存器解码结果

CF 卡协议采用标准的 ATA/IDE 接口，支持 ATA 命令。CF 卡操作数据寄存器的最小单位为 1 个扇区，一个扇区为 512 字节。如图 4.71 图为一完整的写数据寄存器时序，虚拟 DataCmd 为逻辑分析仪对采集到的数据进行 ATA 命令解析，在写数据寄存器首先要写入写扇区命令，软件根据总线状态解析出写扇区命令后，并智能判断后续将有写入扇区数据的操作，图中的蓝色部分 (Write Data length is 512 Bytes) 是根据之前写入的 ATA 命令分析出总线正处于写数据寄存器状态。

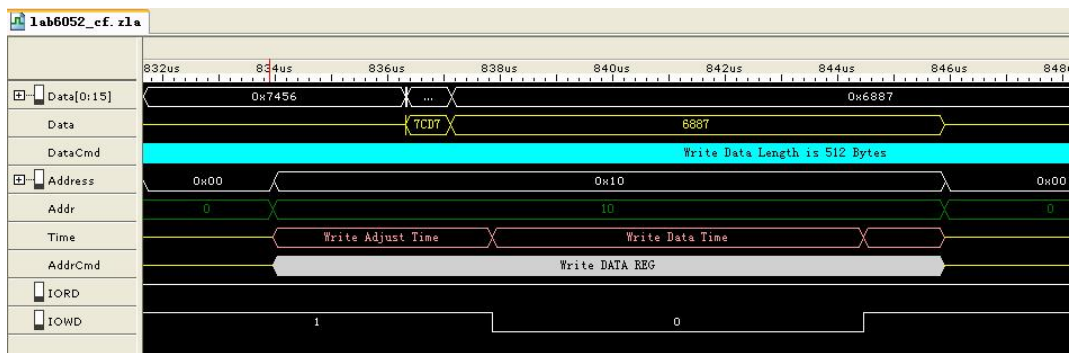


图 4.71 写数据寄存器分析

4.16 逻辑分析仪在 SD 卡开发中的应用

数码相机，笔记本电脑等电子都已进入千家万户，这些设备都离不开存储设备。存储设备从选数管，打孔卡，硒鼓，光盘，软盘，磁带，固态硬盘等的变迁中，SD 卡以其大容量，低功耗，小巧轻便，热插拔，价格便宜等特点，在如今的移动存储设备中占有非常重要的地位，比如现在的笔记本电脑，数码相机，mp4 等数码产品，都无一例外的带有 SD 卡读卡器接口，方便用户使用。下面结合致远逻辑分析仪 LAB 系列产品为例，介绍下其在 SD 卡开发设计中的应用。

4.16.1 SD 卡简介

SD 卡共支持三种传输模式：SPI 模式（独立序列输入和序列输出），1 位 SD 模式（独立指令和数据通道，独有的传输格式），4 位 SD 模式（支持四位宽的并行传输）。如表 4.6 中介绍了数据率与模式的关系。

表 4.6 速度模式关系

类型	最大数据率	模式
低速卡速度	400kbps	SPI 和 1 位 SD
高速卡速度	100Mbps	4 位 SD
高速卡速度	25Mbps	SPI 和 1 位 SD

SD 卡 SD 模式的总线拓扑结构为：一个主机（如微控制器）、多个从机（卡）和同步的星形拓扑结构。所有卡共用时钟 CLK、电源和地信号。而命令线（CMD）和数据线（DAT0~DAT3）则是卡的专用线，即每张卡都独立拥有这些信号线。如表 4.7 中介绍了 SD 模式下的信号功能。

表 4.7 SD 模式下信号线功能

信号线	功能描述
CLK	主机向卡发送的用于同步双方通信的时钟信号
CMD	双向的命令 / 响应信号
DAT0~DAT3	4 个双向的数据信号（MMC 卡只有 DAT0 信号线）
VDD	电源正极，一般电压范围为 2.7~3.6V
VSS1、VSS2	电源地

在 SPI 模式下，主机使用 SPI 总线访问卡，微控制器在卡上电后的第 1 个复位命令就可以选择卡进入 SD 模式或 SPI 模式，但在卡上电期间，它们之间的通信模式不能更改为 SD 模式。如表 4.8 中介绍了 SPI 模式下的信号功能。

表 4.8 SPI 模式下信号功能

信号线	功能描述
CS	主机向卡发送的片选信号
CLK	主机向卡发送的时钟信号
DataIn	主机向卡发送的单向数据信号
DataOut	卡向主机发送的单向数据信号

4.16.2 插件解码分析

SD 卡的协议比较复杂，并且模式也比较多，每个模式里面的命令，响应行为，数据令牌的 CRC 等也很复杂，如果在设计中，需要让研发人员对一个逻辑电平进行解析，那效率是实在太低了，并且也容易出错，致远 LAB 系列逻辑分析仪带有 SD 卡 SPI 模式以及 SD 模式的插件解码工具，可以轻松的帮助工程师快速直观的分析 SD 卡总线上的命令以及数据等信息。下面分别介绍下两种模式的解码插件。

1. SD 模式

分别点击逻辑分析仪上位机【工具】→【插件管理器】，选择“SD 卡 SD 模式协议分析”。弹出 SD_SDMODE 设置对话框。按照采集 SD 卡的实际情况填写总线设置选项，本次采集的总线设置如图 4.72 所示。



图 4.72 SD 卡 SD 模式解码参数设置

下面看看通过插件解码后的结果。如图 4.73 所示，将解码后的信号放大，可以看到开始位：START，传输位：ToCard，命令：READ_MULTIPLE_BLOCK 等信息。

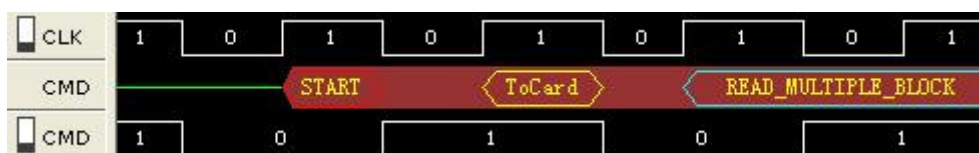


图 4.73 SD 卡 SD 模式解码结果

2. SPI 模式

分别点击逻辑分析仪上位机【工具】→【插件管理器】，选择“SD 卡 SPI 模式协议分析”。弹出 SD_SPI 设置对话框。按照采集 SD 卡的实际情况填写总线设置选项，本次采集的总线设置如图 4.74 所示。



图 4.74 SD 卡 SPI 模式解码参数设置

下面看看通过插件解码后的结果。如图 4.75 所示，将解码后的信号放大，可以看到各个位的详细信息。

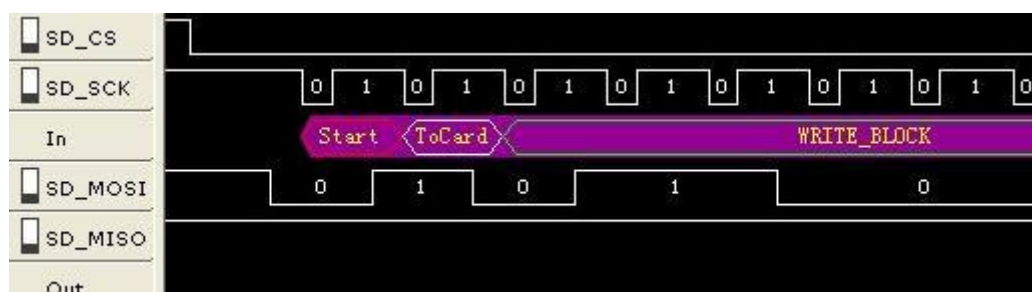


图 4.75 SD 卡 SPI 模式解码结果

4.17 逻辑分析仪在芯片互联中的应用

尽管现在的 MCU/CPU 集成度已经很高，但在数字电路系统开发中，通常我们还会对 MCU/CPU 的进行扩展，如增加 USB\以太网\LCD 驱动显示接口等多种方式的扩展。在各种接口扩展的方式中，使用并行数据总线与功能芯片或模块进行通信是 MCU/CPU 外围功能扩展的过程中最常用的方式。

4.17.1 接口分析

比较流行的并行总线扩展模式有 Intel Bus 模式和 Motorola Bus 模式，这两种最大的区别是 Motorola Bus 模式使用一根信号线来表示读/写信号，而 Intel Bus 模式分别使用两根单独的信号线来表示读或者写。Intel Bus 典型的 16 位接口扩展如图 4.76 所示。

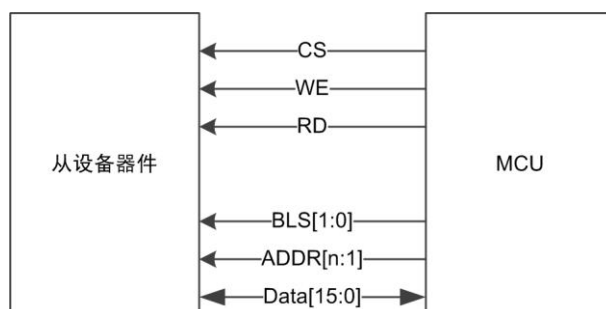


图 4.76 16 位数据总线连接示意图

Intel Bus 的写入和读取操作时序如图 4.77 所示。

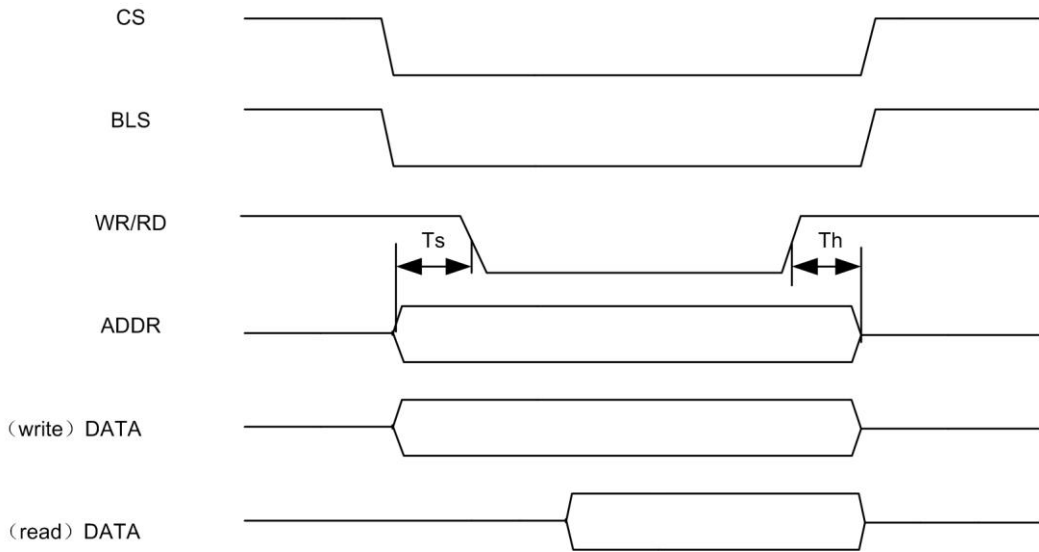


图 4.77 16 位总线读写时序

MCU/CPU 要正确的读写外围芯片，其操作时序必须要满足外围芯片的要求。在图 4.77 中 T_s 为 $\overline{WE}/\overline{RD}$ 信号对地址总线的建立时间，地址总线要在 $\overline{WE}/\overline{RD}$ 信号激活之前的 T_s 时间保证数据的稳定，不然写/读的地址不能确定。 T_h 为数据总线对 $\overline{WE}/\overline{RD}$ 信号保持时间，在 $\overline{WE}/\overline{RD}$ 信号激活撤销的 T_h 时间内，数据总线 DATA 必须要保持不变，不然会引起数据写入或读取出错。随着现代芯片工艺的不断改进，建立时间 T_s 和保持时间 T_h 变得、越来越小，建立时间 T_s 基本在 $2\text{ns}\sim 10\text{ns}$ 左右，而保持时间 T_h 最小的可以做到 0ns 。LAB7504 逻辑分析仪深存储定时采样最高采样达到 1GHz (1ns 分辨率)，高速定时采样为 5GHz (200ps 分辨率)，完成可以满足建立时间 T_s 和保持时间 T_h 的测量。

4.17.2 应用实例

在使用并行总线进行芯片间的通信时需要对时序间的配合进行确认，如果双方的时序配合不上时，会产生读写出错的问题。在 NXP 公司的 ARM7 芯片 LPC2214 上使用 ISP1582 进行 USB 接口扩展，如图 4.78 所示。

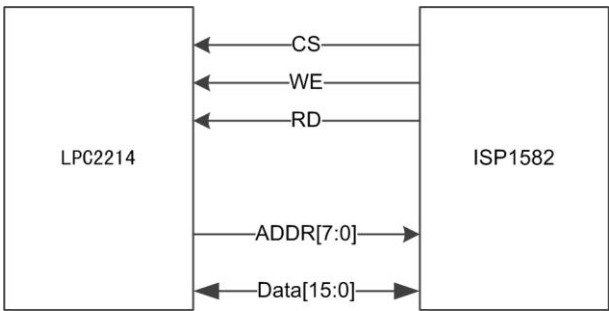


图 4.78 LPC2214 与 ISP1582 的连接示意图

在使用中，发现读写不稳定，具体的表现为在一些板上没有问题，在另外的一些板上会出现出错现象。使用 LAB7504 逻辑分析仪测量 LPC2214 地址总线数据总线和读写信号等引脚，设置采样频率为 5GHz ，测量结果如图 4.79 所示。

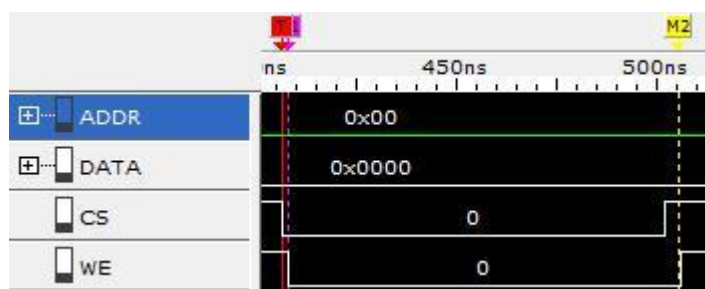


图 4.79 LPC2214 总线操作时序

对照 ISP1582 数据手册中的操作时序及其写入时序参数，对两个时序测量对比，发现 LPC2214 对 ISP1582 进行写入时 t_{SLWL} 不能满足要求，ISP1582 操作时序如图 4.80 所示。

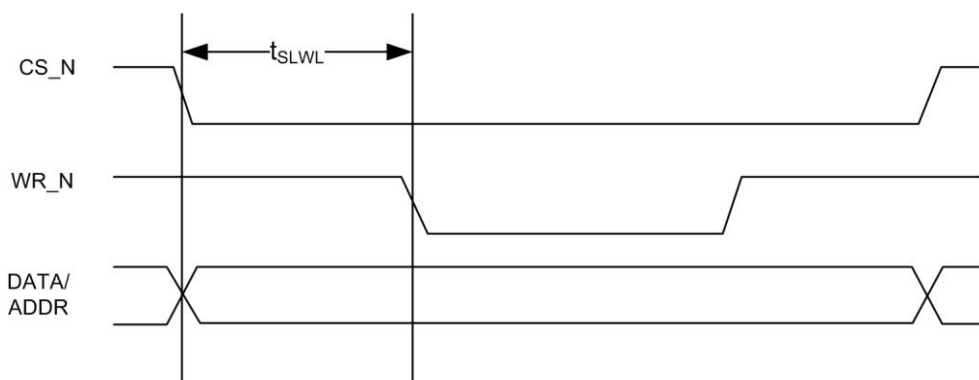


图 4.80 ISP1582 操作时序

ISP1582 要求在 WE 激活要比 CS 激活最小延迟 2ns，而 LPC2214 的 WE 激活要比 CS 激活只延迟了 1.6ns，并不能够满足要求。而 1.6ns 正好处于 2ns 的边缘上，由于 PCB 和芯片的个体差异最终导致了有一些板子可以正常工作。通过更改 LPC2214 的外部存储器访问接口能否产生出满足 ISP1582 读写控制的时序？LPC2214 对外部存储器写入时序如图 4.81 所示，WST2 为可以编程部分，从时序图中可知 CS 与 WE 为硬件同时激活，与 ISP1582 的 t_{SLWL} 要求相冲突，不能满足 WE 激活要比 CS 激活最小延迟 2ns 的要求，就是这个原因导致 LPC2214 对 ISP1582 读写不稳定。

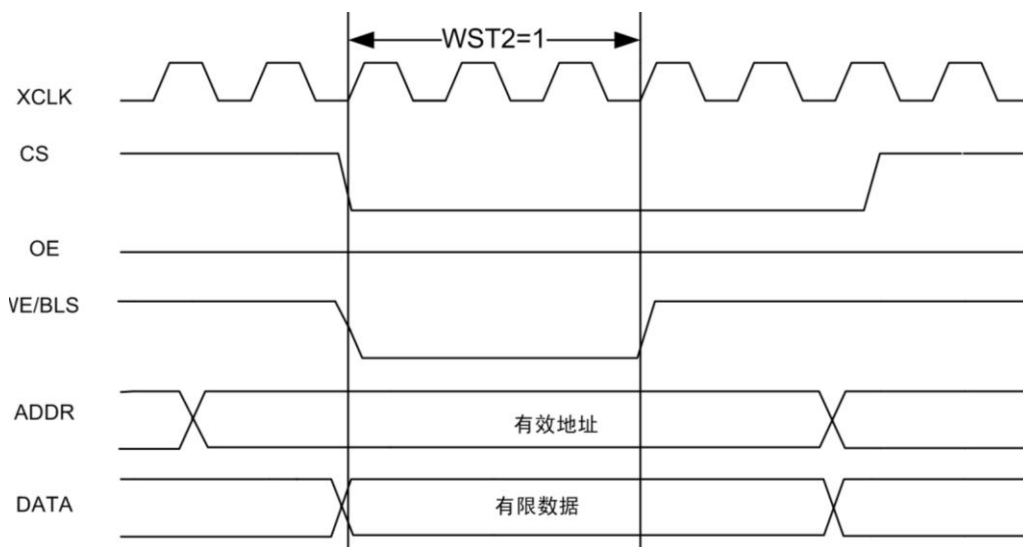


图 4.81 LPC2214 外部存储器接口时序

通过修改电路，将 LPC2214 的 WE 信号经过们电路延迟后连接到 ISP1582 中，如图 4.82 所示。

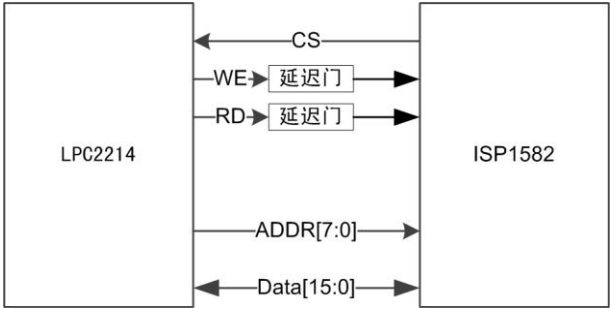


图 4.82 LPC2214 与 ISP1582 正确连接

读写信号加入了延迟门后，LPC2214 产生的读写信号完全能够满足 ISP1582 的需要，LPC2214 操作 ISP1582 不再出现问题，加入了延迟门的测量时序如图 4.83 所示。图中 WE 为原 LPC2214 输出的写信号，WE_Delay 为经过延迟门后的写信号。其中 CS 激活到 WE_Delay 激活的延迟时间变为 13.6ns。

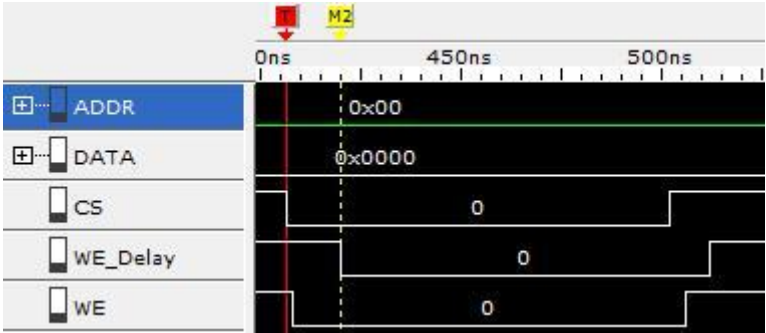


图 4.83 加入延迟后的写入时序

第5章 逻辑分析仪案例分享